

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Tadayoshi NAKANO et al.

Group Art Unit: Unassigned

Application No.: Unassigned

Examiner: Unassigned

Filing Date: March 24, 2004

Confirmation No.: Unassigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT IN WHICH VOLTAGE DOWN CONVERTER OUTPUT
CAN BE OBSERVED AS DIGITAL VALUE AND VOLTAGE DOWN CONVERTER OUTPUT VOLTAGE
IS ADJUSTABLE

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country
is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Japan

Patent Application No(s): 2003-318749

Filed: September 10, 2003

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior
foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified
copy(ies) is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

Date: March 24, 2004

By

Platon N. Mandros

Registration No. 22,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 0 日
Date of Application:

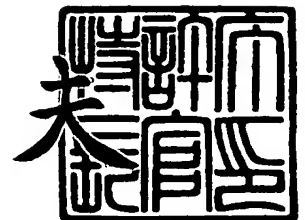
出 願 番 号 特 願 2 0 0 3 - 3 1 8 7 4 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 8 7 4 9]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 542800JP01
【提出日】 平成15年 9月10日
【あて先】 特許庁長官殿
【国際特許分類】 H03M 1/12
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 中野 直佳
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 那須 隆
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 將行
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

外部から与えられる外部電源電圧を受ける第 1 の端子と、
前記外部電源電圧を降下させ内部電圧を発生する電圧発生回路と、
前記内部電圧に応じた電圧を使用する内部回路と、
前記内部電圧をアナログ値からデジタル値に変換して外部にデジタル信号を出力する A/D 変換回路と、
前記デジタル信号を外部に出力するための第 2 の端子とを備える、半導体集積回路。

【請求項 2】

前記内部電圧は、前記内部回路の動作電源電圧であり、
前記電圧発生回路は、
前記動作電源電圧の基準電圧を発生する基準電圧発生回路と、
前記動作電源電圧と前記基準電圧とを相補な 2 つの入力に受ける差動増幅回路と、
前記差動増幅回路の出力に応じて前記外部電源電圧を変換して前記動作電源電圧を出力する電圧変換回路とを含む、請求項 1 に記載の半導体集積回路。

【請求項 3】

前記内部電圧は、前記内部回路の動作電源電圧の基準となる基準電圧であり、
前記電圧発生回路は、
前記基準電圧を発生する基準電圧発生回路と、
前記動作電源電圧と前記基準電圧とを相補な 2 つの入力に受ける差動増幅回路と、
前記差動増幅回路の出力に応じて前記外部電源電圧を変換して前記動作電源電圧を出力する電圧変換回路とを含む、請求項 1 に記載の半導体集積回路。

【請求項 4】

前記半導体集積回路は、
アナログ電圧を入力する第 3 の端子と、
前記 A/D 変換回路に対して、前記内部電圧と前記アナログ電圧のうちの一方を選択して与えるためのセレクタとをさらに備える、請求項 1 に記載の半導体集積回路。

【請求項 5】

前記内部電圧は、
前記内部回路の動作電源電圧であり、
前記電圧発生回路は、
基準電圧を発生する基準電圧発生回路と、
前記動作電源電圧と前記基準電圧とを相補な 2 つの入力に受ける差動増幅回路と、
前記差動増幅回路の出力に応じて前記外部電源電圧を変換して前記動作電源電圧を出力する電圧変換回路とを含み、
前記 A/D 変換回路は、前記動作電源電圧、前記基準電圧を第 1、第 2 の入力ノードにそれぞれ受け、前記動作電源電圧、前記基準電圧をそれぞれ第 1、第 2 のデジタル値に変換し、
前記内部回路は、
前記第 1、第 2 のデジタル値を一時的に保持する第 1、第 2 のレジスタと、
前記第 1、第 2 のレジスタにそれぞれ保持された前記第 1、第 2 のデジタル値の差を第 3 のデジタル値として出力する演算回路と、
前記第 3 のデジタル値を一時的に保持する第 3 のレジスタとを含み、
前記第 1～第 3 のレジスタの保持値は、前記第 2 の端子から出力される、請求項 1 に記載の半導体集積回路。

【請求項 6】

前記電圧発生回路は、
第 4 のレジスタをさらに含み、
前記基準電圧発生回路は、前記第 4 のレジスタの保持値に応じて前記基準電圧を調整する、請求項 5 に記載の半導体集積回路。

【請求項 7】

前記電圧発生回路は、
第 4 のレジスタをさらに含み、
前記電圧変換回路は、前記第 4 のレジスタの保持値に応じて前記内部電源電圧を出力するノードを駆動する駆動力を調整する、請求項 5 に記載の半導体集積回路。

【請求項 8】

前記電圧発生回路は、
不揮発的に設定の変更が可能なヒューズ回路をさらに含み、
前記基準電圧発生回路は、前記ヒューズ回路の設定に応じて前記基準電圧を調整する、請求項 5 に記載の半導体集積回路。

【請求項 9】

前記電圧発生回路は、
不揮発的に設定の変更が可能なヒューズ回路をさらに含み、
前記電圧変換回路は、前記ヒューズ回路の設定に応じて前記内部電源電圧を出力するノードを駆動する駆動力を調整する、請求項 5 に記載の半導体集積回路。

【請求項 10】

前記演算回路は、命令列に従って演算を行なう中央演算処理装置であり、
前記半導体集積回路は、
前記命令列を記憶する不揮発性メモリ回路をさらに備える、請求項 5 に記載の半導体集積回路。

【請求項 11】

前記電圧発生回路は、
発生する前記内部電圧の調整値を保持する第 4 レジスタをさらに含み、
前記不揮発性メモリ回路は、前記調整値の初期値をさらに保持し、
前記中央演算処理装置は、前記第 3 のレジスタの保持値に応じて前記第 4 レジスタの保持値を書きかえる、請求項 10 に記載の半導体集積回路。

【請求項 12】

モード切換えのための設定を行なう入力端子をさらに備え、
前記中央演算処理装置は、動作モードとして、通常モードと、前記第 1、第 2 のレジスタにそれぞれ保持された前記第 1、第 2 のデジタル値の差を第 3 のデジタル値として出力する特殊モードとを有し、電源オン時の前記入力端子の設定にしたがって前記特殊モードに移行する、請求項 10 に記載の半導体集積回路。

【請求項 13】

前記演算回路は、命令列に従って演算を行なう中央演算処理装置であり、
前記半導体集積回路は、
前記命令列および所定の情報を記憶する不揮発性メモリ回路と、
前記中央演算装置に接続され、前記命令列の一部であるブートプログラムによって前記所定の情報が前記不揮発性メモリ回路からロードされる揮発性メモリとをさらに備える、請求項 5 に記載の半導体集積回路。

【請求項 14】

電圧変換回路は、動作モードとして前記外部電源電圧を降下させる通常モードと前記外部電源電圧を変換することなく出力する特殊モードとを有し、
前記特殊モードにおいては、前記第 1 のデジタル値は、前記外部電源電圧に対応し、前記第 2 の端子から出力される、請求項 5 に記載の半導体集積回路。

【請求項 15】

前記内部回路は、
前記内部電源電圧の上限規格値を保持する第 4 のレジスタと、
前記内部電源電圧の下限規格値を保持する第 5 のレジスタとをさらに含み、
前記演算回路は、前記第 1 のレジスタの保持値が前記上限規格値と前記下限規格値との間に無い場合は、異常フラグを出力する、請求項 5 に記載の半導体集積回路。

【請求項 1 6】

前記演算回路は、命令列に従って演算を行なう中央演算処理装置であり、
前記半導体集積回路は、
前記命令列を記憶する不揮発性メモリ回路をさらに備える、請求項 1 5 に記載の半導体集積回路。

【請求項 1 7】

前記演算回路は、命令列に従って演算を行なう中央演算処理装置であり、
前記半導体集積回路は、
前記命令列および所定の情報を記憶する不揮発性メモリ回路と、
前記中央演算装置に接続され、前記命令列の一部であるブートプログラムによって前記所定の情報が前記不揮発性メモリ回路からロードされる揮発性メモリとをさらに備える、
請求項 1 5 に記載の半導体集積回路。

【書類名】 明細書

【発明の名称】 半導体集積回路

【技術分野】

【0001】

本発明は、半導体集積回路に関する。

【背景技術】

【0002】

不揮発性メモリが内蔵する昇圧回路の電流供給能力は、極めて小さいので、発生した高電圧がノイズ等に弱いため、外部端子に発生した高電圧を出力することができない。このため、テスト用にA/D（アナログ／デジタル）変換機を内蔵し、発生した高電圧を分圧してA/D変換機によって変換して外部にデジタル信号を出力し、デジタル信号をモニタすることによって内部電圧を確認する技術が特開平5-325580号公報（特許文献1）に開示されている。

【特許文献1】 特開平5-325580号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、内部で発生する電圧を確認するために、テスト専用A/D変換器をチップ上に集積するのはチップ面積が増加しコスト面では得策ではない。

【0004】

一方近年では、システム・オン・チップ化の進展に伴う半導体集積回路の回路規模が増大し、これによる設計検証および量産出荷テスト工数の増加が問題となっている。

【0005】

特に電圧降下回路（VDC：Voltage Down Converter）やA/D変換器を集積した半導体集積回路においては、電圧降下回路、A/D変換器およびその他の論理回路の設計評価、量産テストをそれぞれ個々の回路単位で行なっているのが現状である。

【0006】

VDC回路の出力電圧が設計値どおりか評価する場合や、量産時の出荷テストでVDC回路が出力する電圧に異常がないかテストする場合に、VDC回路の出力電圧VDC_{out}を半導体集積回路の有する端子からアナログ量として出力しこれを測定する必要がある。したがって、測定系が複雑となる問題があった。

【0007】

また、個々の回路の回路規模が増大しており、設計評価、量産テストの工数が増大している。さらには、これら半導体集積回路が有する入出力端子数が増大しており、半導体集積回路のチップサイズには、入出力パッドの配置領域も無視できない状況となっている。特に、入出力パッド数が多くなると、内部に配置する回路規模でチップサイズが定まるのではなく、周辺にパッドを配置することでチップサイズが定まってしまう。

【0008】

本発明は、電圧降下回路、A/D変換器およびその他の論理回路を集積した半導体集積回路において、集積された論理回路同士の機能を利用し合うことにより、設計評価を効率的に実施でき、量産テストの容易化を図るとともに量産テスト工数を削減できる半導体集積回路を提供することを目的とする。また併せて半導体集積回路の入出力端子数を抑制することを目的とする。

【0009】

より具体的には、A/D変換器の機能を利用して、電圧降下回路に関わる電圧をデジタル量として観測するとともに、その電圧降下回路に関連する電圧を判定もしくは適正な電圧となるように制御することを目的とし、これにより直接電圧降下回路に係る電圧を観測するための端子を削減することを目的としている。

【課題を解決するための手段】

【0010】

この発明は、要約すれば、半導体集積回路であって、外部から与えられる外部電源電圧を受ける第1の端子と、外部電源電圧を降下させ内部電圧を発生する電圧発生回路と、内部電圧に応じた電圧を使用する内部回路と、内部電圧をアナログ値からデジタル値に変換して外部にデジタル信号を出力するA/D変換回路と、デジタル信号を外部に出力するための第2の端子とを備える。

【発明の効果】

【0011】

本発明によれば、チップ上に集積されたA/D変換器をもちいて内部電圧をデジタル信号にして出力するので、測定が簡単になるとともに、電圧モニタ用のテスト端子を削減することができる。

【発明を実施するための最良の形態】

【0012】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0013】

【実施の形態1】

図1は、本発明の実施の形態1の半導体集積回路1の構成を示すブロック図である。

【0014】

図1を参照して、半導体集積回路1は、端子2, 4, 6, 8, 10, 12, 14, 16~18と、電圧降下変換(VDC)回路20と、A/D変換器22と、論理回路24とを含む。

【0015】

VDC回路20は、基準電圧発生回路26と、差動増幅器28と、電圧変換回路30とを含む。A/D変換器22は、A/D変換結果を格納するレジスタ32を含む。

【0016】

電源は、VDC回路20用に端子2から電源電圧VCCが供給される。また、A/D変換器22用に端子12を介して電源電圧AVCCが供給される。論理回路24には、VDC回路20の出力である電圧VDCoutが供給される。つまりそれぞれの回路は別々の電源電圧を受けて動作する。なお、接地電圧VSSつまりグラウンドは、説明を簡単にするため各回路共通としている。

【0017】

VDC回路20用の端子は、電源電圧VCCを受ける端子2と、基準電圧発生回路26の出力電圧VDCrefを出力する端子4と、VDC回路20の出力電圧である電圧VDCoutを出力する端子6とがある。A/D変換器用の端子は、電源電圧AVCCを入力する端子12と、A/D変換用の参照電圧Avrefを与えるための端子14と、アナログ信号AN1を入力する端子10とがある。論理回路24用の端子は、外部との入出力信号をやり取りするための端子16~18である。

【0018】

なお、従来はA/D変換器22のアナログ入力はすべて半導体集積回路の外部から入力されており、内部のVDC回路20や論理回路24から入力されるものはなかった。A/D変換器は、LSIのアナログインターフェース部分に設けられるのが通常だからである。そしてVDC回路20の出力電圧や基準電圧発生回路26の出力電圧を確認する場合は、これらの電圧がそれぞれ出力される端子6や端子4を半導体集積回路外部からアナログ量として観測することによって行なわれていた。

【0019】

実施の形態1では、VDC回路20の出力電圧VDCoutが、A/D変換器22の信号入力ノードAN0'に接続される。これにより、電圧VDCoutは、A/D変換器22でアナログ信号からデジタル信号に変換され、変換後の値は、A/D変換器22の内部のA/D変換結果を格納するレジスタ32に格納される。したがって、一般的には半導体集積回路が内蔵するVDC回路の出力電圧は電圧VDCoutを出力する端子の電圧をア

ナログ量として観測し、VDC回路の動作が正常か、電圧値は適正かを判断する。これに対し本発明では、電圧VDCoutを、レジスタ32に格納されたデジタル量として観測することができる。このレジスタ32の値は、論理回路24内の読出用論理回路により読出され、入出力用の端子16~18のうちのデータ出力用の所定の端子から半導体集積回路1の外部へ出力することができる。

【0020】

従来は、評価やテストをする場合に、VDC回路の出力電圧VDCoutを半導体集積回路の有する端子からアナログ量として出力しこれを測定する必要があり、測定系が複雑になる問題があった。これに対し、実施の形態1の半導体集積回路1は、VDC回路の出力電圧をチップ上のA/D変換器によってA/D変換するため、VDC回路の出力電圧値をデジタル量として観測でき、測定が容易となる。

【0021】

また、通常は、VDC回路の出力を安定させるため、端子6にある程度の容量を付加する必要があるが、VDC回路20の出力で駆動される論理回路24の消費電力が少なく半導体集積回路1内にVDC回路20の出力を十分安定させることのできる負荷容量が確保できる場合には、端子6が不要となる。したがって、端子数によって半導体集積回路のチップサイズが定まってしまう場合には、端子6のスペースが削減されチップサイズを削減することができる。また、電圧VDCoutを出力するために使用していた端子6を、他の用途のために使用することができる。

【0022】

〔実施の形態2〕

図2は、実施の形態2の半導体集積回路50の構成を示したブロック図である。

【0023】

図2を参照して、実施の形態2の半導体集積回路50は、図1に示した半導体集積回路1の構成において論理回路24に代えて論理回路56を含み、さらに、端子54とセレクト52を含む。

【0024】

論理回路56は、A/D変換器の入力を選択する信号ADSEL0を出力する。端子54は、アナログ入力信号AN0を入力するために設けられる。セレクト52は、信号AN0とVDC回路20の出力する電圧VDCoutとを信号ADSEL0に応じて選択してA/D変換器22の入力ノードAN0'に与える。

【0025】

実施の形態2は、2つの入力を有し、出力がA/D変換器22のアナログ入力ノードAN0'に接続されるセレクト52を備える点が特徴である。

【0026】

実施の形態1では、A/D変換器22のアナログ入力ノードAN0'はVDC回路20の出力電圧VDCoutに結合されていた。実施の形態2では電圧VDCoutは、セレクト52の一方の入力に接続され、セレクト52の他方の入力には端子54から入力されるアナログ入力信号AN0が与えられる。論理回路56は、セレクト52の2つの入力のどちらを選択するかを示す信号ADSEL0を出力する。セレクト52の2つの入力のうち選択された入力信号がA/D変換器22のアナログ入力ノードAN0'に与えられる。

【0027】

VDC回路20の出力電圧VDCoutが選択されてA/D変換器22に入力された場合には、電圧VDCoutがA/D変換器22でA/D変換される。変換後の値は、レジスタ32に格納される。レジスタ32の値は、論理回路56内の図示しない読出用論理回路により読出され、入出力端子16~18のうちデータ出力用の所定の端子から半導体集積回路50の外部へ出力することができる。

【0028】

VDC回路の動作のテストと電圧値の測定をする場合には、一般的には半導体集積回路が有するVDC回路に接続される出力電圧端子から電圧VDCoutをアナログ量として

出力して観測する。実施の形態2では、電圧VDCoutをセクタ52を介してチップ上に集積されたA/D変換器22のアナログ入力ノードに与えることができる。したがって、電圧VDCoutの値をチップ内部でA/D変換でき、レジスタ32に格納されたデジタル量として外部から観測することができる。

【0029】

また、アナログ信号AN0が論理回路56から出力される信号ADSEL0に従ってセクタ52で選択され、信号AN0がA/D変換器22の入力ノードAN0'に与えられた場合には、アナログ信号AN0がA/D変換される。そしてレジスタ32に変換結果が格納される。レジスタ32に格納された信号AN0の変換結果も論理回路56内の図示しない読出用論理回路により読出され、端子16~18のうちのデータ出力用の所定の端子から半導体集積回路50の外部に出力することができる。

【0030】

実施の形態2によれば、セクタ52を備えることにより、A/D変換器22の入力ノードAN0'をVDC回路20の出力電圧計測用と外部から与えられるアナログ信号AN0の入力計測用とで共用できる。このため半導体集積回路50が有するアナログ入力端子の有効端子数を減らすことなく、VDC回路20の動作判定や電圧VDCoutの電圧値の評価および観測をすることができる。

【0031】

なお、実施の形態2では、2入力、1出力を有するセクタを用いたが、入力数は2以上で、さらに多入力のセクタを用いてもよい。この場合は、さらに他の信号を含めた信号からVDC回路の出力電圧VDCoutを選択でき、実施の形態2の発明と同様の効果が得られる。

【0032】

[実施の形態3]

図3は、実施の形態3の半導体集積回路60の構成を示したブロック図である。

【0033】

図3を参照して、半導体集積回路60は、図1に示した半導体集積回路1の構成において、端子4、6および10は削除される一方、アナログ信号AN0を与えるための端子54を備える。そして、A/D変換器22は、入力ノードAN0'に端子54を介して与えられるアナログ信号AN0を受け、入力ノードAN1'には基準電圧発生回路26の出力する基準電圧VDCrefを受ける。他の点については、図1で示した構成と同様であるので説明は繰返さない。

【0034】

VDC回路20は、VDC回路20の出力電圧VDCoutと、基準電圧発生回路26の出力電圧である基準電圧VDCrefとを差動増幅器28に入力する。差動増幅器28が、電圧の差分に応じて電圧変換回路30を制御することで電圧VDCoutと電圧VDCrefとを同電圧に調整する。

【0035】

一般的な構成では、チップ外部で基準電圧VDCrefが設計値どおり基準電圧発生回路26によって発生されているか否かを評価するため、電圧VDCrefは端子を経由して外部に出力されている。

【0036】

これに対し実施の形態3に係る半導体集積回路60の構成においては、電圧VDCrefが、A/D変換器22の入力ノードAN1'に結合される。電圧VDCrefは、チップ内部でA/D変換器22によって変換され、変換後の値はレジスタ32に格納される。したがって、電圧VDCrefは一般的には出力電圧端子を介して値外部でアナログ量として観測されていたが、実施の形態3では、電圧VDCrefをレジスタ32に格納されたデジタル量として観測することができる。レジスタ32の値は、論理回路24内の読出用論理回路によって読出され、端子16~18のうちのデータ出力用の所定の端子から半導体集積回路60の外部へと出力することができる。

【0037】

以上説明したように、従来は測定系が複雑になる問題があったのに対し、実施の形態3の半導体集積回路60では、基準電圧発生回路26の出力をA/D変換器22により変換して電圧値をデジタル量として観測できるので、電圧VDCrefの測定が容易になるとともに検証および計測のコストが削減できる。

【0038】

また、電圧VDCrefをチップ外部に出力するための端子を削減することができる。これにより、端子の物理的スペースが削減され、端子数によってチップサイズが定まっている場合には、チップサイズを削減することができる。そうでない場合においても、端子を他の用途の端子として使用することができる。

【0039】

[実施の形態4]

図4は、実施の形態4の半導体集積回路70の構成を示したブロック図である。

【0040】

図4を参照して、半導体集積回路70は、図3に示した半導体集積回路60の構成において、論理回路24に代えて論理回路74を含み、さらにセクタ72と端子10とを含む。他の構成は、図3の半導体集積回路60と同様であるので説明は繰返さない。

【0041】

セクタ72は、入力信号として、端子10を介して与えられるアナログ入力信号AN1と、基準電圧発生回路26が出力する基準電圧VDCrefとを受ける。セクタ72は、2つの入力のうちの1つを論理回路74から出力される信号ADSEL1に応じて選択して選択された信号をA/D変換器22の入力ノードAN1'に与える。

【0042】

セクタ72において基準電圧VDCrefが選択されてA/D変換器22に入力された場合には、基準電圧VDCrefがA/D変換され、変換後の値はレジスタ32に格納される。レジスタ32の値は、論理回路74内の図示しない読出用論理回路により読出され、入出力用の端子16~18のうちのデータ出力用の所定の端子から半導体集積回路70の外部へ出力することができる。

【0043】

VDC回路の動作のテストと電圧値の測定とをする場合には、一般的には半導体集積回路が有する端子から基準電圧VDCrefをアナログ量として出力して観測する。これに対し、実施の形態4においては、基準電圧VDCrefをセクタ72を介してA/D変換器22の入力ノードAN1'に接続できるため、A/D変換器22によりチップ内部でA/D変換できる。これにより、基準電圧VDCrefをレジスタ32に格納されたデジタル量として観測することができる。

【0044】

実施の形態4によれば、セクタ72を備えることにより、A/D変換器22の入力ノードAN1'をVDC回路20の基準電圧計測用と外部から与えられるアナログ信号AN1の入力計測用とで共用できる。このため半導体集積回路70が有するアナログ入力端子の有効端子数を減らすことなく、VDC回路20の動作判定や電圧VDCrefの電圧値の評価および観測をすることができる。

【0045】

なお、実施の形態4では、2入力、1出力を有するセクタを用いたが、入力数は2以上で、さらに多入力のセクタを用いてもよい。この場合は、さらに他の信号を含めた信号からVDC回路の基準電圧VDCrefを選択でき、実施の形態4の発明と同様の効果が得られる。

【0046】

[実施の形態5]

図5は、実施の形態5の半導体集積回路80の構成を示したブロック図である。

【0047】

図5を参照して、半導体集積回路80は、VDC回路20、A/D変換器22、論理回路82およびセクタ52、72を1つの半導体チップ上に集積している。各回路には、それぞれ専用の入出力端子が設けられる。

【0048】

電源に関連して、VDC回路20には電源電圧VCCを与えるための端子2が設けられ、A/D変換器22用には電源電圧AVCCを与えるための端子12が設けられる。論理回路82には、VDC回路20の出力である電圧VDCoutが供給される。つまり、VDC回路20、A/D変換器22および論理回路82は、別々の電源電圧を受けて動作する。一方、接地電圧VSSつまりグラウンドはこれら3つの回路ブロックに対して共通である。

【0049】

A/D変換器22用の端子としては、さらに、A/D変換用の参照電圧Avrefを入力する端子14と、アナログ入力信号AN0、AN1をそれぞれ入力するための端子54、10とが設けられる。A/D変換器22は、入力ノードAN1'、AN0'の2入力を有するが、もっと多くのアナログ入力を持っていたてもよい。セクタ52は、端子54を介して与えられるアナログ信号AN0とVDC回路20から出力される電圧VDCoutとを2つの入力信号として受け、論理回路82から与えられる信号ADSEL0に応じて一方を選択して、選択した信号をA/D変換器22の入力ノードAN0'に対して出力する。

【0050】

セクタ72は、端子10を介して与えられるアナログ入力信号AN1と基準電圧発生回路26が出力する基準電圧VDCrefとを2つの入力信号として受け、論理回路82から出力される信号ADSEL1に従って一方を選択し、選択した信号をA/D変換器22の入力ノードAN1'に与える。

【0051】

端子16~18、100~102は、論理回路82用に設けられる端子である。端子16~18は半導体集積回路80の外部と制御信号やデータとして信号I/O1~I/Onを入出力するためのn個(nは自然数)の端子である。また、端子100~102は、論理回路82内のレジスタ84、86、88のデータを半導体集積回路80の外部との間でデータD1~Dmとして入出力するために設けられるm個(mは自然数)の端子である。

【0052】

VDC回路20は、基準電圧発生回路26と、差動増幅器28と、電圧変換回路30とを含む。基準電圧発生回路26は、VDC回路20の出力する電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器28は、電圧VDCrefと電圧VDCoutとを受けて、電圧VDCoutが電圧VDCrefを下回っていれば電圧VDCoutを上昇させるように信号を電圧変換回路30に伝える。一方、差動増幅器28は、電圧VDCoutが電圧VDCrefを上回っていれば、電圧VDCoutを上昇させないように出力信号を電圧変換回路30に伝える。電圧変換回路30は、差動増幅器28からの出力信号を受けて、電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0053】

A/D変換器22は、論理回路82からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0'、AN1'から入力されるアナログ信号をA/D変換し、変換結果をデジタル量としてレジスタ32に保存する。

【0054】

論理回路82は、2入力のセクタ52、72の入力をそれぞれ選択する信号ADSEL0、ADSEL1を出力する。また、A/D変換器22内のレジスタ32の値を論理回路82は読出すことができる。

【0055】

論理回路82は、第1レジスタ84、第2レジスタ86、第3レジスタ88および演算

器 89 を含む。演算器 89 は、第 1 レジスタ 84 の値から第 2 レジスタ 86 の値を引いた結果を第 3 レジスタ 88 に格納することができる。

【0056】

次に、実施の形態 5 の半導体集積回路 80 の全体的な動作について説明する。

【0057】

論理回路 82 からの信号 $ADSEL0$ 、 $ADSEL1$ に従って、セクタ 52 は、電圧変換回路 30 の出力する電圧 $VDCout$ を選択する。セクタ 72 は、信号 $ADSEL1$ に従って基準電圧発生回路 26 の出力する基準電圧 $VDCref$ を選択する。電圧 $VDCout$ は、チップ内部で A/D 変換器 22 により A/D 変換され、その結果がレジスタ 32 に格納される。このレジスタ 32 の値は論理回路 82 によって読出され、電圧 $VDCout$ のデジタル値は第 1 レジスタ 84 に格納される。

【0058】

さらに、基準電圧 $VDCref$ が A/D 変換器 22 によって A/D 変換され、レジスタ 32 にその変換結果が格納される。レジスタ 32 から基準電圧 $VDCref$ のデジタル値が論理回路 82 によって読出され、その値が第 2 レジスタ 86 に格納される。

【0059】

論理回路 82 が有する演算器 89 は、第 1 レジスタ 84 と第 2 レジスタ 86 の値を入力として受け、これらの差分すなわち（第 1 レジスタの値－第 2 レジスタ値）を第 3 レジスタ 88 に格納することができる。

【0060】

第 1 レジスタ 84、第 2 レジスタ 86 および第 3 レジスタ 88 の保持する値は、半導体集積回路 80 の外部から端子 100～102 を介してデータ $D1\sim Dm$ として読出すことができる。

【0061】

実施の形態 5 においては、VDC 回路の出力電圧 $VDCout$ のデジタル量および基準電圧 $VDCref$ のデジタル量に加えて、これらの差分電圧のデジタル量も半導体集積回路 80 の外部から観測することができる。したがって、外部からアナログ量としてこれらの電圧を観測する場合と比較して、VDC 回路の動作の評価を安易かつ容易に行なうことができる。つまり、VDC 回路の出力が、内部の論理回路の動作に最適な電圧になるように、入力電源電圧 VCC の値や、基準電圧 $VDCref$ を変更するための情報（入力電圧対出力電圧特性データ）を短期間で得ることができる。この情報をもとに、電源電圧 VCC の入力値を定めたり、マスクレイアウトを変更してチップを再作成することにより、所望の出力電圧を得ることができる。

【0062】

また、電圧 $VDCout$ とその期待値である基準電圧 $VDCref$ との論理演算を行なうことができるため、論理回路 82 が動作することにより、電圧 $VDCout$ が異常な値になっていないかどうかの判定を容易に行なうことができる。

【0063】

[実施の形態 6]

図 6 は、実施の形態 6 の半導体集積回路 90 の構成を示したブロック図である。

【0064】

図 6 を参照して、半導体集積回路 90 は、VDC 回路 92、A/D 変換器 22、論理回路 94 およびセクタ 52、72 を 1 つの半導体チップ上に集積しており、各回路は、それぞれ専用の入出力端子を有する。

【0065】

電源は、VDC 回路 92 用に端子 2 を介して電源電圧 VCC が供給され、A/D 変換器 22 用に端子 12 を介して電源電圧 $AVCC$ が供給される。また論理回路 94 には、VDC 回路 92 の出力である電圧 $VDCout$ が供給される。つまり、VDC 回路 92、A/D 変換器 22 および論理回路 94 は、別々の電源電圧を受けて動作する。ここでは、接地電圧 VSS つまりグラウンドは 3 つの回路で共通となっている。

【0066】

VDC回路92は、電源電圧VCCを受けて内部で基準電圧VDCrefを発生し出力として電圧VDCoutを出力する。A/D変換器22は、入力ノードAN0'、AN1'に入力される2つのアナログ入力信号をA/D変換用の参照電圧Avrefを参照してA/D変換し、その結果をレジスタ32に格納する。

【0067】

セクタ52は、2入力のセクタであり、出力がA/D変換器の入力ノードAN0'に接続される。セクタ72も2入力のセクタであり、その出力はA/D変換器22の入力ノードAN1'に接続される。

【0068】

端子54を介して与えられるアナログ信号AN0はセクタ52の一方の入力に与えられ、電圧変換回路30の出力である電圧VDCoutが他方の入力に与えられる。さらに、端子10を介して与えられるアナログ信号AN1は、セクタ72の一方の入力に与えられ、基準電圧発生回路98の出力である基準電圧VDCrefがセクタ72の他方の入力に与えられる。

【0069】

論理回路94は、制御信号やデータとして信号I/O1～I/Onをn個の端子16～18を介してやり取りする。また、論理回路94は、内蔵するレジスタのデータを端子100～102を介してデータD1～Dmとして入出力する。

【0070】

VDC回路92は、基準電圧発生回路98と、差動増幅器28と、電圧変換回路30とを含む。基準電圧発生回路98は、VDC回路92の出力である電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器28は、電圧VDCrefと電圧VDCoutとを入力として受ける。差動増幅器28は、電圧VDCoutが電圧VDCrefを下回っていれば電圧VDCoutを上昇させるように電圧変換回路30に制御信号を出力する。

【0071】

一方、差動増幅器28は、電圧VDCoutが電圧VDCrefを上回っていれば電圧VDCoutを上昇させないように制御信号を電圧変換回路30に出力する。電圧変換回路30は、差動増幅器28からの制御信号を受けて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0072】

A/D変換器22は、論理回路94からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0'、AN1'から入力されるアナログ信号をA/D変換する。A/D変換器22は、変換結果をデジタル量としてレジスタ32に保存する。

【0073】

論理回路94は、セクタ52、72の入力を選択する信号ADSEL0、ADSEL1を出力する。また、論理回路94は、A/D変換器22内のレジスタ32の値を読出すことができる。

【0074】

論理回路94は、第1レジスタ84、第2レジスタ86、第3レジスタ88および演算器89を含む。論理回路94は、演算器89により、第1レジスタ84の値から第2レジスタ86の値を差し引いた結果を第3レジスタ88に格納することができる。

【0075】

VDC回路92は、基準電圧発生回路98を含む。基準電圧発生回路98は、基準となる出力電圧とそれより高い1つまたは複数の電圧およびそれより低い1つまたは複数の電圧を出力することができる。

【0076】

VDC回路92は、さらに、基準電圧を制御するためのレジスタ96を含む。レジスタ

96の値により基準電圧発生回路98が発生することができる複数の電圧のうちの1つを選択することができる。なお、図6では、レジスタ96は、VDC回路92内に配置されているが、論理回路94内もしくはそれ以外の領域に配置されていてもよい。

【0077】

図7は、図6における基準電圧発生回路98の構成を示した回路図である。

【0078】

図7を参照して、基準電圧発生回路98は、バンドギャップを使用して基準電圧を生成する基準電圧発生回路112と、論理回路からの制御信号Drefによってセットされたレジスタ96の出力をデコードしてゲート選択を制御する信号を出力するデコード&ゲート選択回路114とを含む。デコード&ゲート選択回路114は、制御信号として信号SG1～SGnを出力する。

【0079】

基準電圧発生回路98は、さらに、信号SG1を反転するインバータ116と、信号SG2を反転するインバータ120と、信号SGnを反転するインバータ124とを含む。

【0080】

基準電圧発生回路98は、さらに、マイナス入力ノードに基準電圧発生回路112の出力を受け、プラス入力ノードにノードN4が接続されるアンプ128と、アンプ128の出力をゲートに受けソースが電源電圧VCCに結合されるPチャネルMOSトランジスタ130と、PチャネルMOSトランジスタ130のドレインとノードN1との間に接続される抵抗132と、ノードN1とノードN2との間に接続される抵抗134と、ノードN3と接地ノードとの間に接続される抵抗136とを含む。PチャネルMOSトランジスタ130のソースからは基準電圧VDCrefが出力される。なお、ノードN3とノードN2との間には所定数の直列に接続された抵抗が設けられている。

【0081】

基準電圧発生回路98は、さらに、ノードN1とノードN4とを信号SG1およびインバータ116の出力に応じて接続するトランスマッションゲート118と、ノードN2とノードN4とを信号SG2およびインバータ120の出力に応じて接続するトランスマッションゲート122と、ノードN3とノードN4とを信号SGnおよびインバータ124の出力に応じて接続するトランスマッションゲート126とを含む。

【0082】

抵抗132、134、…、136によって電圧VDCrefは複数の分圧電圧に分割され、トランスマッションゲート118、122、…、126によって分圧電圧のうちの1つが選択されてノードN4に入力される。アンプ128は選択された分圧電圧を基準電圧発生回路112の出力と比較してPチャネルMOSトランジスタ130の導通を制御する。

【0083】

再び図6を参照して、半導体集積回路90の全体動作について説明する。

【0084】

論理回路94からの信号ADSEL0に従ってセクタ52は電圧変換回路30の出力する電圧VDCoutを選択する。セクタ72は、論理回路94の出力する信号ADSEL1に従って基準電圧VDCrefを選択する。

【0085】

電圧VDCoutはA/D変換器22によりA/D変換され、その結果はレジスタ32に格納される。レジスタ32の値は、論理回路94によって読出され第1レジスタ84にその値が格納される。

【0086】

さらに、基準電圧VDCrefがA/D変換器22によってA/D変換される。A/D変換の結果はレジスタ32に格納される。レジスタ32の値は、論理回路94によって読出され、第2レジスタ86に格納される。論理回路94内部の演算器89は、第1レジスタ84の値と第2レジスタ86の値を参照してこれらの差分すなわち（第1レジスタの値

ー第2レジスタの値)を第3レジスタ88に格納することができる。

【0087】

論理回路94内の第1レジスタ84、第2レジスタ86および第3レジスタ88の内容は半導体集積回路90の外部からデータD1~Dmとして端子100~102を介して読出すことができる。

【0088】

半導体集積回路90の外部から第1レジスタ84、第2レジスタ86および第3レジスタ88の値を読み出し、その結果基準電圧VDCrefに修正を加える必要がある場合には、第3レジスタ88に現在の基準電圧VDCrefからの差分を示す数値を書込む。論理回路94の制御により、第3レジスタ88の内容をレジスタ96に書込むことで、基準電圧発生回路98の出力する基準電圧VDCrefを変更することができる。

【0089】

実施の形態6では、第1レジスタ84、第2レジスタ86および第3レジスタ88の値を半導体集積回路90の外部に読出して動作条件に適した基準電圧を算定し、現在の基準電圧との差分をVDC回路92が有するレジスタ96に書込むことで基準電圧VDCrefを変更することができる。これにより、半導体集積回路90に、よりマージンのある動作をさせることができるようになる。また、半導体集積回路に対する電源投入時など初期動作においては、半導体集積回路90の外部にその設定動作を行なわせるためのブートプログラムを実行できる制御装置を配置することにより、使用の都度VDC回路92の基準電圧VDCrefを調整することができる。

【0090】

[実施の形態7]

図8は、実施の形態7の半導体集積回路140の構成を示したブロック図である。

【0091】

図8を参照して、半導体集積回路140は、VDC回路141、A/D変換器22、論理回路142およびセクタ52、72を1つの半導体チップ上に集積しており、各回路は、それぞれ専用の入出力端子を有する。

【0092】

電源は、VDC回路141用に端子2を介して電源電圧VCCが供給され、A/D変換器22用に端子12を介して電源電圧AVCCが供給される。また論理回路142には、VDC回路141の出力である電圧VDCoutが供給される。つまり、VDC回路141、A/D変換器22および論理回路142は、別々の電源電圧を受けて動作する。ここでは、接地電圧VSSつまりグラウンドは3つの回路で共通となっている。

【0093】

VDC回路141は、電源電圧VCCを受けて内部で基準電圧VDCrefを発生し出力として電圧VDCoutを出力する。A/D変換器22は、入力ノードAN0'、AN1'に入力される2つのアナログ入力信号をA/D変換用の参照電圧Avrefを参照してA/D変換し、その結果をレジスタ32に格納する。

【0094】

セクタ52は、2入力のセクタであり、出力がA/D変換器の入力ノードAN0'に接続される。セクタ72も2入力のセクタであり、その出力はA/D変換器22の入力ノードAN1'に接続される。

【0095】

端子54を介して与えられるアナログ信号AN0はセクタ52の一方の入力に与えられ、電圧変換回路148の出力である電圧VDCoutが他方の入力に与えられる。さらに、端子10を介して与えられるアナログ信号AN1は、セクタ72の一方の入力に与えられ、基準電圧発生回路26の出力である基準電圧VDCrefがセクタ72の他方の入力に与えられる。

【0096】

論理回路142は、制御信号やデータとして信号I/O1~I/Onをn個の端子16

～18を介してやり取りする。また、論理回路142は、内蔵するレジスタのデータを端子100～102を介してデータD1～Dmとして入出力する。

【0097】

VDC回路141は、基準電圧発生回路26と、差動増幅器147と、電圧変換回路148とを含む。基準電圧発生回路26は、VDC回路141の出力である電圧VDCoutの基準となる基準電圧VDCrefを生成する。

【0098】

差動増幅器147は、電圧VDCrefと電圧VDCoutとを入力として受ける。差動増幅器147は、電圧VDCoutが電圧VDCrefを下回っていれば電圧VDCoutを上昇させるように電圧変換回路148に制御信号を出力する。

【0099】

一方、差動増幅器147は、電圧VDCoutが電圧VDCrefを上回っていれば電圧VDCoutを上昇させないように制御信号を電圧変換回路148に出力する。電圧変換回路148は、差動増幅器147からの制御信号を受けて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0100】

A/D変換器22は、論理回路142からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0', AN1' から入力されるアナログ信号をA/D変換する。A/D変換器22は、変換結果をデジタル量としてレジスタ32に保存する。

【0101】

論理回路142は、セクタ52, 72の入力を選択する信号ADSEL0, ADSEL1を出力する。また、論理回路142は、A/D変換器22内のレジスタ32の値を讀出すことができる。

【0102】

論理回路142は、第1レジスタ84、第2レジスタ86、第3レジスタ88および演算器89を含む。論理回路142は、演算器89により、第1レジスタ84の値から第2レジスタ86の値を差し引いた結果を第3レジスタ88に格納することができる。

【0103】

VDC回路141の電圧変換回路148は、複数の電流駆動回路を含んでいる。通常は、基準となる個数の電流駆動回路が動作する。動作する電流駆動回路の個数は、レジスタ146の値により変更することができる。レジスタ146の値が負のときは、電流駆動回路の個数が増加する。レジスタ146の値が正のときは、電流駆動回路の個数が減少する。実施の形態7では、電流駆動能力を制御するためのレジスタ146は、VDC回路141の内部に配置されているが、レジスタ146を論理回路142の内部もしくはそれ以外の領域に配置してもよい。論理回路142の制御により、第3レジスタ88の値をレジスタ146に転送することができる。

【0104】

図9は、図8における差動増幅器147および電圧変換回路148の構成を示した回路図である。

【0105】

図9を参照して、差動増幅器147は、基準電圧VDCrefを各々のマイナス入力ノードに受け電圧VDCoutをプラス入力ノードに受ける比較回路152, 154, ..., 156を含む。電圧変換回路148は、レジスタ146の出力をデコードして信号SG11, SG12, ..., SG1nを出力するデコード&ゲート選択回路162と、信号SG11～SG1nに応じて入力切換を行なう入力切換回路164と、入力切換回路164の出力に応じて駆動能力が変化する駆動回路166とを含む。駆動回路166は、複数の電流駆動回路であるPチャネルMOSトランジスタ197, 198, 199を含む。PチャネルMOSトランジスタ197～199は、電源ノードと電圧VDCoutを出力するノードとの間に並列に接続されている。

【0106】

入力切換回路164は、信号SG11を受けて反転するインバータ172と、電源ノードとPチャネルMOSトランジスタ197のゲートとの間に接続されゲートに信号SG11を受けるPチャネルMOSトランジスタ176と、信号SG11とインバータ172の出力とに応じて比較回路152の出力をPチャネルMOSトランジスタ197のゲートに接続するトランスミッションゲート174とを含む。

【0107】

再び図8を参照して、半導体集積回路140の全体動作について説明する。

【0108】

論理回路142からの信号ADSEL0に従ってセクタ52は電圧変換回路148の出力する電圧VDCoutを選択する。セクタ72は、論理回路142の出力する信号ADSEL1に従って基準電圧VDCrefを選択する。

【0109】

電圧VDCoutはA/D変換器22によりA/D変換され、その結果はレジスタ32に格納される。レジスタ32の値は、論理回路142によって読出され第1レジスタ84にその値が格納される。

【0110】

さらに、基準電圧VDCrefがA/D変換器22によってA/D変換される。A/D変換の結果はレジスタ32に格納される。レジスタ32の値は、論理回路142によって読出され、第2レジスタ86に格納される。論理回路142内部の演算器89は、第1レジスタ84の値と第2レジスタ86の値を参照してこれらの差分すなわち（第1レジスタの値－第2レジスタの値）を第3レジスタ88に格納することができる。

【0111】

論理回路142内の第1レジスタ84、第2レジスタ86および第3レジスタ88の内容は半導体集積回路140の外部からデータD1～Dmとして端子100～102を介して読出することができる。

【0112】

論理回路142が消費する電流が大きくなると、電圧VDCoutが低下する。これにより、A/D変換された電圧VDCoutの値と電圧VDCrefの値の差分を格納した第3レジスタ88の内容は負の値となる。そして論理回路142の制御により、レジスタ146に第3レジスタ88の値が転送される。これにより図9の駆動回路166の中で動作するPチャネルMOSトランジスタの個数が増え、電圧の低下を抑止するように働く。

【0113】

また、半導体集積回路140の外部から第1レジスタ84、第2レジスタ86および第3レジスタ88の保持値を読出した後、VDC回路141の電流駆動能力に対して修正を加える場合には、外部から第3レジスタ88に対して駆動回路166のPチャネルMOSトランジスタの標準動作個数からの動作させるべき個数の差分を示す数値を書込む。第3レジスタ88の値が論理回路142によってVDC回路のレジスタ146に転送され、VDC回路の電流駆動能力を変更することができる。

【0114】

実施の形態7では、第1レジスタ84、第2レジスタ86および第3レジスタ88の値を半導体集積回路140の外部に読出して外部で動作条件に適した必要動作電流を判定し、現在の電圧変換回路148の電流駆動能力との差分をレジスタ146に書込むことで電圧変換回路148の電流駆動能力を変更できる。これにより、半導体集積回路140に、よりマージンのある動作をさせることができるようになる。

【0115】

また、半導体集積回路140の電源投入時など動作の初期において、半導体集積回路140の外部にレジスタ146の設定を行なわせるブートプログラムなどを実行できる制御装置を配置する。これにより使用の都度、VDC回路141の電流駆動能力を調整することができるので、消費電流の最適化を図ることができる。

【0116】

さらに、半導体集積回路140の動作中においても、外部の制御回路により、第1レジスタ84、第2レジスタ86および第3レジスタ88の内容を更新し、第3レジスタ88の内容をレジスタ146に転送させることで、動的にVDC回路141の電流駆動能力を変更することが可能となる。

【0117】**[実施の形態8]**

図10は、実施の形態8の半導体集積回路200の構成を示したブロック図である。

【0118】

図10を参照して、半導体集積回路200は、VDC回路202と、A/D変換器22と、論理回路94と、セクタ52、72とを1つの半導体チップ上に集積している。各回路は、それぞれ専用の入出力端子を持っている。電源および各回路の入力信号の名称および機能は実施の形態6と同様であるので説明は繰返さない。

【0119】

VDC回路202は、図6におけるVDC回路92の構成において、レジスタ96に代えてヒューズ回路204を含む。すなわち、VDC回路202は、基準電圧発生回路98と、差動増幅器28と、電圧変換回路30と、ヒューズ回路204とを含む。基準電圧発生回路98は、VDC回路202の出力である電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器28は、電圧VDCrefと電圧VDCoutとを入力として受ける。差動増幅器28は、電圧VDCoutが電圧VDCrefを下回っていれば電圧VDCoutを上昇させるように電圧変換回路30に制御信号を出力する。

【0120】

一方、差動増幅器28は、電圧VDCoutが電圧VDCrefを上回っていれば電圧VDCoutを上昇させないように制御信号を電圧変換回路30に出力する。電圧変換回路30は、差動増幅器28からの制御信号を受けて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0121】

A/D変換器22は、論理回路94からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0'、AN1'から入力されるアナログ信号をA/D変換する。A/D変換器22は、変換結果をデジタル量としてレジスタ32に保存する。

【0122】

論理回路94は、セクタ52、72の入力を選択する信号ADSEL0、ADSEL1を出力する。また、論理回路94は、A/D変換器22内のレジスタ32の値を読出すことができる。

【0123】

論理回路94は、第1レジスタ84、第2レジスタ86、第3レジスタ88および演算器89を含む。論理回路94は、演算器89により、第1レジスタ84の値から第2レジスタ86の値を差し引いた結果を第3レジスタ88に格納することができる。

【0124】

基準電圧発生回路98は、基準となる出力電圧とそれより高い1つまたは複数の電圧およびそれより低い1つまたは複数の電圧を出力することができる。これらの電圧は、ヒューズ回路204のヒューズの設定により選択することができる。なお、図10では、ヒューズ回路204は、VDC回路202の内部に配置されているが、論理回路94の内部もしくはそれ以外の領域に配置されていてもよい。

【0125】

図11は、ヒューズ回路204の構成例を示した図である。

【0126】

図11を参照して、ヒューズ回路204は、電源ノードと接地ノードとの間に直列に接続される抵抗Rとヒューズ素子FUSEによって構成されるユニットを複数含む。複数の

ユニットからはそれぞれ制御信号SIG1～SIGnが出力される。各ユニットにおいて、抵抗Rとヒューズ素子FUSEの接続ノードから対応する制御信号が出力される。ヒューズ素子FUSEが破壊され非導通状態となると制御信号はHレベルとなり、ヒューズ素子がそのままであれば制御信号はLレベルとなる。

【0127】

なお、抵抗とヒューズ素子の配置は逆でもよく、またヒューズ素子はアンチヒューズのよう破壊後に両端が導通状態となるヒューズでもよい。

【0128】

再び図10を参照して、半導体集積回路200の全体動作について説明する。

【0129】

論理回路94からの信号ADSEL0に従ってセクタ52は電圧変換回路30の出力する電圧VDCoutを選択する。セクタ72は、論理回路94の出力する信号ADSEL1に従って基準電圧VDCrefを選択する。

【0130】

電圧VDCoutはA/D変換器22によりA/D変換され、その結果はレジスタ32に格納される。レジスタ32の値は、論理回路94によって読出され第1レジスタ84にその値が格納される。

【0131】

さらに、基準電圧VDCrefがA/D変換器22によってA/D変換される。A/D変換の結果はレジスタ32に格納される。レジスタ32の値は、論理回路94によって読出され、第2レジスタ86に格納される。論理回路94内部の演算器89は、第1レジスタ84の値と第2レジスタ86の値を参照してこれらの差分すなわち（第1レジスタの値－第2レジスタの値）を第3レジスタ88に格納することができる。

【0132】

論理回路94内の第1レジスタ84、第2レジスタ86および第3レジスタ88の内容は半導体集積回路90の外部からデータD1～Dmとして端子100～102を介して読出することができる。

【0133】

半導体集積回路200の外部から第1レジスタ84、第2レジスタ86および第3レジスタ88の値を読出して基準電圧VDCrefの修正を加える必要があると判断された場合には、第3レジスタに、現在の基準電圧からの差分を示す数値を外部から書込む。そして、論理回路94により第3レジスタ88の内容をヒューズ回路204の内部のヒューズの設定として書込むことで基準電圧発生回路98の出力電圧を変更することができる。

【0134】

実施の形態8では、第1レジスタ84、第2レジスタ86、第3レジスタ88の値を半導体集積回路200の外部から読出することができる。そして、動作条件に適した基準電圧を判定することができる。判定した結果に応じて現在の基準電圧との差分をVDC回路202が有するヒューズ回路204の内部のヒューズの設定として書込むことで基準電圧VDCrefを半導体集積回路200の使用条件に適した電圧に変更することができる。ヒューズに最適な値を書込むことで、以後、使用時は恒久的に最適値に修正された基準電圧を発生することができる。

【0135】

また、出荷テストにおいて第1～第3レジスタに格納された値を読出し、各電圧値から判断される適正な値を算出した後、基準電圧修正値をヒューズに書込むことで、恒久的に基準電圧が調整された半導体集積回路を出荷することができる。

【0136】

〔実施の形態9〕

図12は、実施の形態9の半導体集積回路210の構成を示したブロック図である。

【0137】

図12を参照して、半導体集積回路210は、VDC回路212と、A/D変換器22

と、論理回路142とセクタ52, 72とを1つの半導体チップ上に集積している。各回路は、それぞれ専用の入出力端子を有する。電源および各回路の入力信号の名称および機能は実施の形態7と同様であるので説明は繰返さない。

【0138】

VDC回路212は、基準電圧発生回路26と、差動増幅器147と、電圧変換回路148とを含む。基準電圧発生回路26は、VDC回路212の出力である電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器147は、電圧VDCrefと電圧VDCoutとを入力として受ける。差動増幅器147は、電圧VDCoutが電圧VDCrefを下回っていれば電圧VDCoutを上昇させるように電圧変換回路148に制御信号を出力する。

【0139】

一方、差動増幅器147は、電圧VDCoutが電圧VDCrefを上回っていれば電圧VDCoutを上昇させないように制御信号を電圧変換回路148に出力する。電圧変換回路148は、差動増幅器147からの制御信号を受けて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0140】

A/D変換器22は、論理回路142からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0', AN1' から入力されるアナログ信号をA/D変換する。A/D変換器22は、変換結果をデジタル量としてレジスタ32に保存する。

【0141】

論理回路142は、セクタ52, 72の入力を選択する信号ADSEL0, ADSEL1を出力する。また、論理回路142は、A/D変換器22内のレジスタ32の値を読むことができる。

【0142】

論理回路142は、第1レジスタ84、第2レジスタ86、第3レジスタ88および演算器89を含む。論理回路142は、演算器89により、第1レジスタ84の値から第2レジスタ86の値を差し引いた結果を第3レジスタ88に格納することができる。

【0143】

VDC回路212は、図8に示したVDC回路141の構成において、レジスタ146に代えてヒューズ回路214を含む。他のVDC回路212の構成は、VDC回路141と同様である。

【0144】

VDC回路212の内部の電圧変換回路148は、複数の電流駆動用のトランジスタを含んでおり、通常は、基準となる個数の電流駆動用トランジスタが動作する。動作する電流駆動トランジスタの個数は、ヒューズ回路214のヒューズの設定により変更することができる。ヒューズにより設定される値が負のとき、駆動用トランジスタの個数が増加し、正のときは駆動用トランジスタの個数が減少するように電圧変換回路148は動作する。図12では、ヒューズ回路214は、VDC回路212内部に配置されているが、論理回路142の内部もしくはそれ以外の領域に配置されていてもよい。

【0145】

論理回路142の制御により、第3レジスタ88の値をヒューズ回路214に書込むことができる。

【0146】

再び図12を参照して、半導体集積回路210の全体動作について説明する。

【0147】

論理回路142からの信号ADSEL0に従ってセクタ52は電圧変換回路30の出力する電圧VDCoutを選択する。セクタ72は、論理回路142の出力する信号ADSEL1に従って基準電圧VDCrefを選択する。

【0148】

電圧 V_{DCout} は A/D 変換器 22 により A/D 変換され、その結果はレジスタ 32 に格納される。レジスタ 32 の値は、論理回路 142 によって読出され第 1 レジスタ 84 にその値が格納される。

【0149】

さらに、基準電圧 V_{DCref} が A/D 変換器 22 によって A/D 変換される。A/D 変換の結果はレジスタ 32 に格納される。レジスタ 32 の値は、論理回路 142 によって読出され、第 2 レジスタ 86 に格納される。論理回路 142 内部の演算器 89 は、第 1 レジスタ 84 の値と第 2 レジスタ 86 の値を参照してこれらの差分すなわち（第 1 レジスタの値－第 2 レジスタの値）を第 3 レジスタ 88 に格納することができる。

【0150】

論理回路 142 内の第 1 レジスタ 84、第 2 レジスタ 86 および第 3 レジスタ 88 の内容は半導体集積回路 210 の外部からデータ D1～Dm として端子 100～102 を介して読出すことができる。

【0151】

論理回路 142 が消費する電流が大きくなると、電圧 V_{DCout} が低下する。これにより、A/D 変換された電圧 V_{DCout} の値と電圧 V_{DCref} の値の差分を格納した第 3 レジスタ 88 の内容は負の値となる。そして論理回路 142 の制御により、レジスタ 146 に第 3 レジスタ 88 の値が転送される。これにより図 9 の駆動回路 166 の中で動作する P チャネル MOS トランジスタの個数が増え、電圧の低下を抑止するように働く。

【0152】

つまり、半導体集積回路 210 の外部から第 1 レジスタ 84、第 2 レジスタ 86 および第 3 レジスタ 88 の値を読出して、VDC 回路 212 の電流駆動能力に対して修正を加える必要があるか否かを判断する。修正を加える必要がある場合には、第 3 レジスタ 88 に駆動用トランジスタの標準動作個数からの差分を示す数値を書込むことで、論理回路 142 の制御により VDC 回路 212 の内部に配置されたヒューズ回路 214 に設定が書込まれ、VDC 回路の電流駆動能力が変更される。

【0153】

実施の形態 9 では、第 1 レジスタ 84、第 2 レジスタ 86 および第 3 レジスタ 88 の値を半導体集積回路 210 の外部に読出して動作条件に適した必要動作電流を判定することができる。そして現在の電圧変換回路 148 の電流駆動能力との差分をヒューズ回路 214 に書込むことで、動作に適した電圧変換回路 148 の駆動能力を恒久的に設定することができる。これにより、消費電力の最適化が図られた VDC 回路を得ることができる。また、出荷テストにおいて、電流駆動能力に対する修正値をヒューズ回路に書込むことで、恒久的に適正な電流駆動能力に調整された半導体集積回路を出荷することができる。

【0154】

〔実施の形態 10〕

図 13 は、実施の形態 10 の半導体集積回路 220 の構成を示したブロック図である。

【0155】

図 13 を参照して、半導体集積回路 220 は、VDC 回路 222、A/D 変換器 22、論理回路 226 およびフラッシュメモリ 224 を 1 つの半導体チップ上に集積している。各回路は、それぞれ専用の入出力端子を有する。

【0156】

VDC 回路 222 には電源電圧 V_{CC} が供給され、A/D 変換器には電源電圧 A_{VCC} が供給される。論理回路 226 には VDC 回路 222 の出力である電圧 V_{DCout} が動作電源電圧として供給される。またフラッシュメモリ 224 には、外部から電源電圧 FV_{CC} が供給されている。つまり、それぞれの回路のブロックは、別々の動作電源電圧を受けて動作する。なお、ここでは、接地電圧 V_{SS} つまりグラウンドは各ブロックに対して共通となっている。

【0157】

VDC 回路 222 は、基準電圧発生回路 98 と、差動増幅器 147 と、電圧変換回路 1

48と、レジスタ96および146とを含む。VDC回路222は、外部から電源電圧VCCを受けて、基準電圧発生回路98の出力である基準電圧VDCrefと電圧変換回路148の出力である電圧VDCoutとを出力する。

【0158】

A/D変換器22は、電源電圧AVCCを動作電源電圧として受ける。そしてA/D変換器22は、A/D変換用の参照電圧Avrefを端子14を介して受ける。

【0159】

セクタ52は、アナログ信号AN0と電圧VDCoutのいずれか一方を論理回路226から与えられる信号ADSEL0に従って選択してA/D変換器22の入力ノードAN0'に与える。セクタ72は、基準電圧VDCrefとアナログ信号AN1のいずれか一方を信号ADSEL1に従って選択してA/D変換器22の入力ノードAN1'に与える。

【0160】

論理回路226は、CPU228と、第1レジスタ84と、第2レジスタ86と、第3レジスタ88とを含む。論理回路226は、半導体集積回路220の外部と制御信号やデータの信号である信号I/O1~I/Onをn個の端子16~18を介して入出力する。また論理回路226は、レジスタのデータやCPU228が読出/書込を行なうデータをデータD1~Dmとしてm個の端子100~102を介してやり取りする。また、論理回路226は、CPU228が出力するアドレス値A1~Akを、端子230~232を介して出力する。

【0161】

基準電圧発生回路98は、VDC回路222の出力電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器147は、電圧VDCrefおよび電圧VDCoutを受けて比較する。

【0162】

差動増幅器147は電圧VDCoutが電圧VDCrefを下回っていれば、電圧VDCoutを上昇させるように制御信号を電圧変換回路148に伝える。一方、差動増幅器147は、電圧VDCoutが電圧VDCrefを上回っていれば、電圧VDCoutを上昇させないように制御信号を電圧変換回路148に伝達する。

【0163】

電圧変換回路148は、差動増幅器147からの制御信号に応じて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0164】

A/D変換器22は、論理回路226からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0', AN1'から入力されるアナログ信号をA/D変換し、変換結果をデジタル量としてレジスタ32に保存できる。

【0165】

論理回路226は、セクタ52, 72の入力を選択する信号ADSEL0, ADSEL1を出力する。また、論理回路226は、A/D変換器22の内部のレジスタ32の値を読出すことができる。また、論理回路226は、第1レジスタ84が保持する電圧VDCoutの値から第2レジスタが保持する基準電圧VDCrefの値を引いた結果を、第3レジスタ88に格納することができる。この動作は、CPU228が有する減算機能により行なうことができる。

【0166】

基準電圧発生回路98および電圧変換回路148の構成は、図7および図9で説明したので説明は繰返さない。

【0167】

電圧変換回路148は、複数の駆動用トランジスタを含んでおり、通常は基準となる個数の駆動用トランジスタが動作する。動作する駆動用トランジスタの個数は、レジスタ146の値により変更することができる。レジスタ146の値が負のとき駆動用トランジスタ

タの個数が増加し、正のときは駆動用トランジスタの個数が減少するように電圧変換回路 148 は動作する。なお、レジスタ 146 は、電流駆動用トランジスタの動作個数を格納し、レジスタ 146 で指定された個数のトランジスタが動作するように電圧変換回路 148 を構成してもよい。

【0168】

なお、図 13 では、レジスタ 146 は、VDC 回路 222 の内部に配置されているが、論理回路 226 の内部もしくはそれ以外の領域に配置されていてもよい。また、レジスタ 146 に格納される値は、CPU 228 を含む論理回路によって読出および書込をすることができる。

【0169】

基準電圧発生回路 98 は、基準となる出力電圧と、それより高い 1 つまたは複数の電圧と、それより低い 1 つまたは複数の電圧とを出力することができる。これらの電圧は、レジスタ 96 の値により選択することができる。図 13 では、レジスタ 96 は VDC 回路 222 の内部に配置されているが、論理回路 226 の内部もしくはそれ以外の領域に配置されていてもよい。

【0170】

次に、半導体集積回路 220 の動作について説明する。

【0171】

フラッシュメモリ 224 には、CPU 228 が実行する命令列およびその命令を実行する際に使用するデータが配置されている。実施の形態 10 の動作を実行するための CPU 用命令列（プログラム）およびこれらの命令で使用するパラメータ（データ）もフラッシュメモリ 224 に格納されている。半導体集積回路 220 の電源立上時、リセット時または、ユーザが本プログラム以外のプログラムから本プログラムの起動を要求した際に、フラッシュメモリ 224 に格納されたプログラムを実行することができる。

【0172】

図 14 は、CPU が行なう第 1 の処理を示したフローチャートである。

【0173】

図 14 を参照して、ステップ S1 で処理が開始され、ステップ S2 でセレクトの設定が行なわれる。セレクト 52 は、電圧変換回路 148 が出力する電圧 VDCout を選択する。またセレクト 72 は、基準電圧発生回路 98 の出力する電圧 VDCref を選択する。このような選択を行なうように CPU 228 は信号 ADSEL0, ADSEL1 を制御する。

【0174】

続いてステップ S3 において、A/D 変換器 22 をイネーブルに設定する。すると A/D 変換器 22 はまず電圧 VDCout を A/D 変換し、その結果をレジスタ 32 に格納する。この変換結果は、レジスタ 32 から CPU 228 によって読出され、第 1 レジスタ 84 に格納される。さらに、電圧 VDCref が A/D 変換器によって A/D 変換され、レジスタ 32 に格納される。電圧 VDCref の変換結果は、CPU 228 によって読出され、第 2 レジスタ 86 に格納される（ステップ S4）。

【0175】

続いてステップ S5 において演算処理が行なわれる。つまり CPU は第 1 レジスタ 84 と第 2 レジスタ 86 の値を入力として、これらの差分（第 1 レジスタの値－第 2 レジスタの値）を第 3 レジスタ 88 に格納する。

【0176】

続いてステップ S6 において第 1 レジスタから第 3 のレジスタの内容は、CPU 228 が実行する転送命令により、この半導体集積回路 220 の外部へ端子 100～102 を介してデータ D1～Dm として出力することができる。

【0177】

図 15 は、CPU 228 の第 2 の処理を説明するためのフローチャートである。

【0178】

図15では、CPUを含む論理回路226の消費する電流が大きくなった場合に電圧VDCoutが低下したときの電圧修正について説明する。電圧VDCoutが低下すると、A/D変換された電圧VDCoutと電圧VDCrefの差分を格納した、第3レジスタ88の内容は負の値となる。

【0179】

ステップS11において処理が開始されステップS12において第3レジスタ88の値が読出される。続いてステップS13において第3レジスタの値の正負判定が行なわれる。

【0180】

第3レジスタの値が負の場合には、ステップS14に進み、第3レジスタ88の値を電流駆動能力制御用のレジスタへCPU228が転送する。これにより電圧変換回路148の内部の駆動用トランジスタの個数が増えるので、電圧の低下を抑止するように電圧変換回路148は働く。

【0181】

一方、ステップS3において第3レジスタの値が正であると判定された場合にはステップS14を行わずにステップS15に進み処理が終了する。

【0182】

また、フラッシュメモリ224に配置された目標電圧値（最高値、最低値）と電圧を比較することによって、電圧VDCrefおよび電圧VDCoutが適正か否かを判定し、データバスを介して端子100～102からデータD1～Dmとして出力してもよいし、入出力端子16～18を介して信号I/O1～I/Onとして半導体集積回路220の外部に通知してもよい。

【0183】

図16は、CPUが行なう第3の処理を説明するためのフローチャートである。

【0184】

図16を参照して、CPU228が電圧VDCoutを修正する場合について説明する。

【0185】

ステップS21において処理が開始されると、続いてステップS22においてCPU228は、第3レジスタ88の値を読出す。そして、続いてステップS23においてフラッシュメモリ224に格納されていた目標の上限値を読出す。

【0186】

続いてステップS24においてCPU228は、第3レジスタ88の値が目標上限値を超えているか否かを判断する。目標上限値を超えていると判断した場合には、ステップS25においてCPU228は、レジスタ96の値を1つ小さくし基準電圧発生回路98に対して電圧VDCrefを下げるように指示する。またステップS24において第3レジスタの値が目標上限値を超えていない場合にはステップS25は行わずステップS26に進む。

【0187】

ステップS26では、フラッシュメモリ224に格納されている目標下限値を読出す。そしてステップS27において第3レジスタの値が目標下限値よりも小さいか否かが判断される。そして目標下限値よりも小さい場合にはステップS28に進み、基準電圧制御用のレジスタ96の値を1つ大きくする。

【0188】

一方、第3レジスタの値が目標下限値よりも小さくなかった場合にはステップS28は行われずステップS29に進み処理が終了する。このように、CPUの動作によって第1レジスタ84、第2レジスタ86および第3レジスタ88の保持する値を読出してフラッシュメモリ224に配置された目標値と比較する。そしてその比較結果によってレジスタ96に修正値を書込むことで電圧VDCrefを修正することができる。修正した結果は電圧VDCoutをA/D変換した値を観測することにより修正が成功したか否かが確

認できる。たとえば、CPUを含む論理回路の最高動作速度を上げるために動作電圧を上げる必要がある場合は、基準電圧を上昇させ、その一方CPUを含む論理回路の消費電流を低減する場合には基準電圧を低下させる。

【0189】

以上説明したように、実施の形態10では、論理回路内にCPUを持ち、フラッシュメモリにはCPU用のプログラムおよびデータを配置する。これによりプログラム制御によって電圧VDCrefおよび電圧VDCoutの管理を容易に行なうことができる。具体的には、CPUを含む論理回路の動作時の電圧低下を検知し、VDC回路の電流駆動能力を変更したり、動作電圧を必要に応じ変更することができる。また、フラッシュメモリの制御プログラムおよびそのプログラムが使用するデータを書換えることにより、アプリケーションに応じたVDC回路の管理が個々の半導体集積回路ごとに行なうことができる。

【0190】

[実施の形態11]

図17は、実施の形態11の半導体集積回路240の構成を示すブロック図である。

【0191】

図17を参照して、半導体集積回路240は、図13に示した半導体集積回路220の構成に加えてリセット信号を入力する端子242とモード信号を入力する端子244を含む。

【0192】

電源投入時に端子242に入力するリセット信号RESETと同時に端子244に与えるモード信号MODを活性化すると、実施の形態10で説明したフラッシュメモリ内に配置された所定のプログラムが動作する。そして半導体集積回路240は、電圧VDCrefおよび電圧VDCoutをA/D変換し、その値をデジタル値として半導体集積回路の外部へデータD1～Dmとして出力することができる。他の構成や動作は、実施の形態10の場合と同様であるので説明は繰返さない。

【0193】

デジタル値に変換された値とフラッシュメモリに格納された目標設定値とを比較することで、レジスタ96、146の値を変更しVDC回路の電流駆動能力を変化させることや、VDC回路の基準電圧VDCrefを変化させることができる。

【0194】

なお、実施の形態11では、モード信号MODは、リセット信号RESETと同時に活性化させて認識されることにしたが、モード信号MODのみを有効にすることでCPUにこれを認識させてもよい。

【0195】

また、モード信号を入力する端子を複数設け、図14～16のフローチャートで示したような動作に別々の端子を対応付け、動作を限定的に行なわせてもよい。たとえば、モード端子を2つ設け信号MOD1、MOD2を与え、信号MOD1を有効にした場合はレジスタ146を変更してVDC回路の電力駆動能力を変更し、また信号MOD2を有効にした場合はレジスタ96の値を変更して基準電圧を変更するようにしてもよい。

【0196】

以上説明したように、実施の形態11では、モード端子を設けることにより、リセット時にVDC回路の電流駆動能力や基準電圧VDCrefを修正することができる。また、リセットとは無関係にモード端子を有効にする構成とすれば、半導体集積回路240の外部に配置したハードウェアからモード端子を有効すると即座に、VDC回路の電流駆動能力や基準電圧VDCrefの修正をすることができる。

【0197】

[実施の形態12]

図18は、実施の形態12の半導体集積回路250の構成を示したブロック図である。

【0198】

図18を参照して、半導体集積回路250は、VDC回路222と、A/D変換器22

と、論理回路 252 と、セクタ 52, 72 とを 1 つの半導体チップ上に集積している。各回路は、それぞれ専用の入出力端子を有する。VDC 回路 222 は、基準電圧発生回路 98 と、差動増幅器 147 と、電圧変換回路 148 と、レジスタ 96, 146 とを含む。

【0199】

A/D 変換器 22 は、A/D 変換の結果を格納するレジスタ 32 を含む。

【0200】

論理回路 252 は、CPU 228 と、SRAM 254 と、マスク ROM 256 と、第 1 レジスタ 84 と、第 2 レジスタ 86 と、第 3 レジスタ 88 とを含む。

【0201】

電源について説明する。VDC 回路 222 は端子 2 を介して電源電圧 VCC を受ける。A/D 変換器 22 は、端子 12 を介して電源電圧 AVCC を受ける。CPU 228 を含む論理回路 252 は、VDC 回路 222 の出力である電圧 VDCout を電源電圧として受ける。つまり、それぞれの回路のブロックは、別々の電源電圧を受けて動作する。ここで、接地電圧 VSS つまりグラウンドは各ブロックに対して共通である。

【0202】

VDC 回路 222 は、基準電圧発生回路 98 と、差動増幅器 147 と、電圧変換回路 148 と、レジスタ 96 および 146 とを含む。VDC 回路 222 は、外部から電源電圧 VCC を受けて、基準電圧発生回路 98 の出力である基準電圧 VDCref と電圧変換回路 148 の出力である電圧 VDCout とを出力する。

【0203】

A/D 変換器 22 は、電源電圧 AVCC を動作電源電圧として受ける。そして A/D 変換器 22 は、A/D 変換用の参照電圧 Avref を端子 14 を介して受ける。

【0204】

セクタ 52 は、アナログ信号 AN0 と電圧 VDCout のいずれか一方を論理回路 252 から与えられる信号 ADSEL0 に従って選択して A/D 変換器 22 の入力ノード AN0' に与える。セクタ 72 は、基準電圧 VDCref とアナログ信号 AN1 のいずれか一方を信号 ADSEL1 に従って選択して A/D 変換器 22 の入力ノード AN1' に与える。

【0205】

論理回路 252 は、CPU 228 と、第 1 レジスタ 84 と、第 2 レジスタ 86 と、第 3 レジスタ 88 と、SRAM 254 と、マスク ROM とを含む。論理回路 252 は、半導体集積回路 250 の外部と制御信号やデータの信号である信号 I/O1 ~ I/On を n 個の端子 16 ~ 18 を介して入出力する。また論理回路 252 は、レジスタのデータや CPU 228 が読出/書込を行なうデータをデータ D1 ~ Dm として m 個の端子 100 ~ 102 を介してやり取りする。また、論理回路 252 は、CPU 228 が出力するアドレス値 A1 ~ Ak を、端子 230 ~ 232 を介して出力する。

【0206】

基準電圧発生回路 98 は、VDC 回路 222 の出力電圧 VDCout の基準となる基準電圧 VDCref を生成する。差動増幅器 147 は、電圧 VDCref および電圧 VDCout を受けて比較する。

【0207】

差動増幅器 147 は電圧 VDCout が電圧 VDCref を下回っていれば、電圧 VDCout を上昇させるように制御信号を電圧変換回路 148 に伝える。一方、差動増幅器 147 は、電圧 VDCout が電圧 VDCref を上回っていれば、電圧 VDCout を上昇させないように制御信号を電圧変換回路 148 に伝達する。

【0208】

電圧変換回路 148 は、差動増幅器 147 からの制御信号に応じて電源電圧 VCC からこれより低い所定の電圧 VDCout を生成する。

【0209】

ADC 回路 22 は、論理回路 252 からの信号により動作の設定をすることができる。

A/D変換器22は、入力ノードAN0'、AN1'から入力されるアナログ信号をA/D変換し、変換結果をデジタル量としてレジスタ32に保存できる。

【0210】

論理回路252は、セクタ52、72の入力を選択する信号ADSEL0、ADSEL1を出力する。また、論理回路252は、A/D変換器22の内部のレジスタ32の値を読出すことができる。また、論理回路252は、第1レジスタ84が保持する電圧VDCoutの値から第2レジスタが保持する基準電圧VDCrefの値を引いた結果を、第3レジスタ88に格納することができる。この動作は、CPU228が有する減算機能により行なうことができる。

【0211】

基準電圧発生回路98および電圧変換回路148の構成は、図7および図9で説明したので説明は繰返さない。

【0212】

電圧変換回路148は、複数の駆動用トランジスタを含んでおり、通常は基準となる個数の駆動用トランジスタが動作する。動作する駆動用トランジスタの個数は、レジスタ146の値により変更することができる。レジスタ146の値が負のとき駆動用トランジスタの個数が増加し、正のときは駆動用トランジスタの個数が減少するように電圧変換回路148は動作する。なお、レジスタ146は、電流駆動用トランジスタの動作個数を格納し、レジスタ146で指定された個数のトランジスタが動作するように電圧変換回路148を構成してもよい。

【0213】

なお、図18では、レジスタ146は、VDC回路222の内部に配置されているが、論理回路252の内部もしくはそれ以外の領域に配置されていてもよい。また、レジスタ146に格納される値は、CPU228を含む論理回路252によって読出および書込をすることができる。

【0214】

基準電圧発生回路98は、基準となる出力電圧と、それより高い1つまたは複数の電圧と、それより低い1つまたは複数の電圧とを出力することができる。これらの電圧は、レジスタ96の値により選択することができる。図18では、レジスタ96はVDC回路222の内部に配置されているが、論理回路252の内部もしくはそれ以外の領域に配置されていてもよい。

【0215】

次に、本発明の半導体集積回路250の全体動作について説明する。

【0216】

CPU228が実行する命令列およびその命令を実行する際に使用するデータは、半導体集積回路250の外部に配置されたEEPROMなどの記憶装置（図示せず）に格納されている。

【0217】

マスクROM256には、上記記憶装置内の命令列およびデータをSRAM254にロードし、CPU228の動作をそのロードしたプログラムへ移すためのプログラム（ブートプログラム）が配置されている。

【0218】

このブートプログラムは、半導体集積回路250のリセット時もしくはマスクROM内の他のプログラムがそのブートプログラムの起動を要求した際に動作する。以下に、リセット時にこのブートプログラムでSRAM254内にブートされたプログラムによる動作を説明する。

【0219】

実施の形態12でも、図14、図15、図16で説明した動作と同様な動作が行われる。つまり、処理が開始され、セクタの設定が行なわれる。セクタ52は、電圧変換回路148が出力する電圧VDCoutを選択する。またセクタ72は、基準電圧発生回

路 98 の出力する電圧 VDC_{ref} を選択する。このような選択を行なうように CPU 228 は信号 $ADSEL0$ 、 $ADSEL1$ を制御する。

【0220】

続いて、A/D 変換器 22 がイネーブルに設定される。すると A/D 変換器 22 はまず電圧 VDC_{out} を A/D 変換し、その結果をレジスタ 32 に格納する。この変換結果は、レジスタ 32 から CPU 228 によって読出され、第 1 レジスタ 84 に格納される。さらに、電圧 VDC_{ref} が A/D 変換器によって A/D 変換され、レジスタ 32 に格納される。電圧 VDC_{ref} の変換結果は、CPU 228 によって読出され、第 2 レジスタ 86 に格納される。

【0221】

続いて、演算処理が行なわれる。つまり CPU は第 1 レジスタ 84 と第 2 レジスタ 86 の値を入力として、これらの差分（第 1 レジスタの値－第 2 レジスタの値）を第 3 レジスタ 88 に格納する。

【0222】

続いて、第 1 レジスタから第 3 のレジスタの内容は、CPU 228 が実行する転送命令により、この半導体集積回路 250 の外部へ端子 100～102 を介してデータ $D1 \sim Dm$ として出力することができる。

【0223】

CPU を含む論理回路 252 の消費する電流が大きくなった場合に電圧 VDC_{out} が低下したときの電圧修正について説明する。電圧 VDC_{out} が低下すると、A/D 変換された電圧 VDC_{out} と電圧 VDC_{ref} の差分を格納した、第 3 レジスタ 88 の内容は負の値となる。

【0224】

第 3 レジスタ 88 の値が読出され、続いて第 3 レジスタの値の正負判定が行なわれる。

【0225】

第 3 レジスタの値が負の場合には、第 3 レジスタ 88 の値を電流駆動能力制御用のレジスタへ CPU 228 が転送する。これにより電圧変換回路 148 の内部の駆動用トランジスタの個数が増えるので、電圧の低下を抑止するように電圧変換回路 148 は働く。

【0226】

一方、第 3 レジスタの値が正であると判定された場合には、第 3 レジスタ 88 の値をレジスタへ CPU 228 が転送することなく、処理が終了する。

【0227】

また、ブートによって EEPROM などの記憶装置（図示せず）から SRAM 内に配置された目標電圧値（最高値、最低値）と電圧を比較することによって、電圧 VDC_{ref} および電圧 VDC_{out} が適正か否かを判定し、データバスを介して端子 100～102 からデータ $D1 \sim Dm$ として出力してもよいし、入出力端子 16～18 を介して信号 $I/O1 \sim I/On$ として半導体集積回路 220 の外部に通知してもよい。

【0228】

また、CPU 228 が電圧 VDC_{out} を修正する場合には、CPU 228 は、第 3 レジスタ 88 の値を読出す。CPU 228 は、第 3 レジスタ 88 の値が目標上限値を超えているか否かを判断する。また、CPU 228 は第 3 レジスタの値が目標下限値よりも小さいか否かを判断する。このように、CPU の動作によって第 1 レジスタ 84、第 2 レジスタ 86 および第 3 レジスタ 88 の保持する値を読出して、ブートによって EEPROM などの記憶装置（図示せず）から SRAM 内に配置された目標値と比較する。そしてその比較結果によってレジスタ 96 に修正値を書込むことで電圧 VDC_{ref} を修正することができる。修正した結果は電圧 VDC_{out} を A/D 変換した値を観測することにより修正が成功したか否かが確認できる。

【0229】

たとえば、CPU を含む論理回路の最高動作速度を上げるために動作電圧を上げる必要がある場合は、基準電圧を上昇させ、その一方 CPU を含む論理回路の消費電流を低減す

る場合には基準電圧を低下させる。

【0230】

実施の形態12では、マスクROM256上のブートプログラムによりSRAM254にロードされたプログラムによって、VDC回路222の電流駆動能力や基準電圧VDCrefを修正することができる。実施例12では、フラッシュメモリを集積回路上に配置していないため、半導体集積回路のウェハプロセスの工程数がフラッシュメモリを搭載する場合と比較して削減できる。したがって半導体集積回路の製造コストを低減することができる。

【0231】

〔実施の形態13〕

図19は、実施の形態13の半導体集積回路260の構成を示したブロック図である。

【0232】

図19を参照して、半導体集積回路260は、VDC回路262と、A/D変換器22と、論理回路264と、セクタ52、72とを1つの半導体チップ上に集積している。各回路はそれぞれ専用の入出力端子を有する。

【0233】

VDC回路262は、基準電圧発生回路26と、差動増幅器28と、電圧変換回路268と、レジスタ266とを含む。A/D変換器22はA/D変換の結果を格納するレジスタ32を含む。

【0234】

論理回路264は、第1レジスタ84と、第2レジスタ86と、第3レジスタ88と、演算器89とを含む。

【0235】

電源は、VDC回路262用に端子2を介して電源電圧VCCが供給され、A/D変換器22用に端子12を介して電源電圧AVCCが供給される。また論理回路264には、VDC回路262の出力である電圧VDCoutが供給される。つまり、VDC回路262、A/D変換器22および論理回路264は、別々の電源電圧を受けて動作する。ここでは、接地電圧VSSつまりグラウンドは3つの回路で共通となっている。

【0236】

VDC回路262は、電源電圧VCCを受けて内部で基準電圧VDCrefを発生し出力として電圧VDCoutを出力する。A/D変換器22は、入力ノードAN0'、AN1'に入力される2つのアナログ入力信号をA/D変換用の参照電圧Avrefを参照してA/D変換し、その結果をレジスタ32に格納する。

【0237】

セクタ52は、2入力のセクタであり、出力がA/D変換器の入力ノードAN0'に接続される。セクタ72も2入力のセクタであり、その出力はA/D変換器22の入力ノードAN1'に接続される。

【0238】

端子54を介して与えられるアナログ信号AN0はセクタ52の一方の入力に与えられ、電圧変換回路268の出力である電圧VDCoutが他方の入力に与えられる。さらに、端子10を介して与えられるアナログ信号AN1は、セクタ72の一方の入力に与えられ、基準電圧発生回路98の出力である基準電圧VDCrefがセクタ72の他方の入力に与えられる。

【0239】

論理回路264は、制御信号やデータとして信号I/O1～I/Onをn個の端子16～18を介してやり取りする。また、論理回路264は、内蔵するレジスタのデータを端子100～102を介してデータD1～Dmとして入出力する。

【0240】

VDC回路262は、基準電圧発生回路98と、差動増幅器28と、電圧変換回路268とを含む。基準電圧発生回路98は、VDC回路262の出力である電圧VDCout

の基準となる基準電圧 VDC_{ref} を生成する。差動増幅器 28 は、電圧 VDC_{ref} と電圧 VDC_{out} とを入力として受ける。差動増幅器 28 は、電圧 VDC_{out} が電圧 VDC_{ref} を下回っていれば電圧 VDC_{out} を上昇させるように電圧変換回路 268 に制御信号を出力する。

【0241】

一方、差動増幅器 28 は、電圧 VDC_{out} が電圧 VDC_{ref} を上回っていれば電圧 VDC_{out} を上昇させないように制御信号を電圧変換回路 268 に出力する。電圧変換回路 268 は、差動増幅器 28 からの制御信号を受けて電源電圧 VCC からこれより低い所定の電圧 VDC_{out} を生成する。

【0242】

A/D変換器 22 は、論理回路 264 からの信号により動作の設定をすることができる。A/D変換器 22 は、入力ノード $AN0'$ 、 $AN1'$ から入力されるアナログ信号を A/D変換する。A/D変換器 22 は、変換結果をデジタル量としてレジスタ 32 に保存する。

【0243】

論理回路 264 は、セクタ 52、72 の入力を選択する信号 $ADSEL0$ 、 $ADSEL1$ を出力する。また、論理回路 264 は、A/D変換器 22 内のレジスタ 32 の値を読むことができる。

【0244】

論理回路 264 は、第 1 レジスタ 84、第 2 レジスタ 86、第 3 レジスタ 88 および演算器 89 を含む。論理回路 264 は、演算器 89 により、第 1 レジスタ 84 の値から第 2 レジスタ 86 の値を差し引いた結果を第 3 レジスタ 88 に格納することができる。

【0245】

VDC回路 262 に配置されているレジスタ 266 は、VDC回路の動作モードを変更するための制御値を格納するレジスタである。レジスタ 266 に設定する値により、VDC通常動作モードと、VDCスルーモードと、VDC停止モードの 3 つのモードのうちの 1 つを選択することができる。VDC通常動作モードでは、VDC回路 262 は上述した通常動作を行なう。VDCスルーモードでは、基準電圧発生回路 26 および差動増幅器 28 は動作を停止し、電圧変換回路 268 は、入力された電源電圧 VCC を電圧変換を行わずにほぼそのままの電圧として出力する。VDC停止モードでは、VDC回路 262 は動作を停止し、電圧 VDC_{out} は非活性化される。なお、図 19 では、レジスタ 266 は VDC回路 262 の内部に配置されているが、論理回路 264 の内部に配置されていてもよい。

【0246】

図 20 は、図 19 における電圧変換回路 268 の構成を示した回路図である。

【0247】

図 20 を参照して、電圧変換回路 268 は、電源ノードと電圧 VDC_{out} を出力するノードとの間に接続される Pチャネル MOS トランジスタ 282 と、信号 $MVDC_{off}$ 、 $MVDC_{through}$ を受ける NOR 回路 274 と、NOR 回路 274 の出力を受けて反転するインバータ 272 と、NOR 回路 274 の出力およびインバータ 272 の出力に応じて差動増幅器 28 の出力を Pチャネル MOS トランジスタ 282 のゲートに接続するトランスミッションゲート 270 とを含む。なお、信号 $MVDC_{off}$ は VDC停止モード時に活性化される信号である。また信号 $MVDC_{through}$ は VDCスルーモード時に活性化される信号である。図 19 の論理回路 264 から出力されるモード設定信号 $MVDC$ に応じてレジスタ 266 に設定が書込まれこの設定に応じて信号 $MVDC_{off}$ 、 $MVDC_{through}$ が活性化／非活性化される。

【0248】

電圧変換回路 268 は、さらに、信号 $MVDC_{off}$ を受けて反転するインバータ 276 と、電源ノードと Pチャネル MOS トランジスタ 282 のゲートとの間に接続されゲートにインバータ 276 の出力を受ける Pチャネル MOS トランジスタ 278 と、Pチャネル

MOSトランジスタ282のゲートと接地ノードとの間に接続されゲートに信号MVDC throughを受けるNチャネルMOSトランジスタ280を含む。

【0249】

信号MVDC offが活性化されるとトランスミッションゲート270は非導通状態となり差動増幅器28の出力とPチャネルMOSトランジスタ282のゲートとを分離する。そしてPチャネルMOSトランジスタ278が導通することによりPチャネルMOSトランジスタ282のゲートは電源電圧VCCに結合される。その結果PチャネルMOSトランジスタ282は非導通状態となり電圧VDC outは非活性化される。

【0250】

一方信号MVDC throughが活性化されるとトランスミッションゲート270は非導通状態となりPチャネルMOSトランジスタ282のゲートを差動増幅器28の出力から分離する。そしてNチャネルMOSトランジスタ280が導通することによりPチャネルMOSトランジスタ282も導通状態となる。その結果電圧VDC outとして電源電圧VCCがほぼそのまま出力されることになる。

【0251】

次に、再び図19を参照して半導体集積回路260の全体動作について説明する。

【0252】

まず論理回路264から信号MVDCが出力され、この信号によりレジスタ266に値が書込まれる。書込動作は、半導体集積回路260の外部から端子16～18を介して信号I/O1～I/Onのうちの一部を書込指示信号として入力し、端子100～102を介して書込データとしてデータD1～Dmを入力することにより行なわれる。

【0253】

まず、VDC通常動作モード時には、VDC回路262は実施の形態5等で説明した動作を行なう。

【0254】

次に、VDCスルーモードに設定された場合は、VDC回路262は電圧VDC outとして電源電圧VCCとほぼ等しい（若干低い）電圧が出力される。

【0255】

論理回路264からA/D変換器22の入力を選択するための選択信号ADSEL0が出力され、これに応じてセクタ52は電圧VDC outをA/D変換器22の入力ノードAN0'に与える。電圧VDC outは、A/D変換器によりA/D変換され、その結果がレジスタ32に格納される。レジスタ32の値は論理回路264によって読出され、電圧VDC outに対応するデジタル値が第1レジスタ84に格納される。

【0256】

論理回路264の内部の第1レジスタ84の内容は、半導体集積回路260の外部から端子100～102を介して読出すことができる。

【0257】

VDC停止モードに設定した場合は、電圧変換回路268は電圧VDC outを駆動しない。このため、論理回路264は動作できなくなる。この場合はリセット（図示せず）を入力するか、または電源電圧VCCを一度オフにしてから再度投入する。

【0258】

実施の形態13によれば、VDC回路262にVDCスルーモードを設けることにより、半導体集積回路に入力される電源電圧VCCが期待される値かどうかを半導体集積回路の外部からデジタル信号として知ることができる。

【0259】

また、電源電圧VCCが低下した場合など、VDC通常動作モードでは論理回路264の動作可能な電圧VDC outが得られない場合には、VDCスルーモードに移行することができ、電源電圧VCCの変動に柔軟に対応できる半導体集積回路を得ることができる。

【0260】

【実施の形態 14】

図 21 は、実施の形態 14 の半導体集積回路 290 の構成を示したブロック図である。

【0261】

図 21 を参照して、半導体集積回路 290 は、VDC 回路 262 と、A/D 変換器 22 と、論理回路 292 とセクタ 52、72 とを含み、これらが 1 つの半導体チップ上に集積されている。各回路は、それぞれ専用の入出力端子を有する。

【0262】

VDC 回路 262 は、基準電圧発生回路 26 と、差動増幅器 28 と、電圧変換回路 268 と、レジスタ 266 とを含む。A/D 変換器 22 は、A/D 変換の結果を格納するレジスタ 32 を含む。論理回路 292 は、第 1 レジスタ 84 と、第 2 レジスタ 86 と、第 3 レジスタ 88 と、演算器 89 とを含む。論理回路 292 は、さらに、第 4 レジスタ 294 と、第 5 レジスタ 296 と、NG フラグレジスタ 298 とを含む。

【0263】

電源は、VDC 回路 262 用に端子 2 を介して電源電圧 VCC が供給され、A/D 変換器 22 用に端子 12 を介して電源電圧 AVCC が供給される。また論理回路 292 には、VDC 回路 262 の出力である電圧 VDCout が供給される。つまり、VDC 回路 262、A/D 変換器 22 および論理回路 292 は、別々の電源電圧を受けて動作する。ここでは、接地電圧 VSS つまりグラウンドは 3 つの回路で共通となっている。

【0264】

VDC 回路 262 は、電源電圧 VCC を受けて内部で基準電圧 VDCref を発生し出力として電圧 VDCout を出力する。A/D 変換器 22 は、入力ノード AN0'、AN1' に入力される 2 つのアナログ入力信号を A/D 変換用の参照電圧 Avref を参照して A/D 変換し、その結果をレジスタ 32 に格納する。

【0265】

セクタ 52 は、2 入力のセクタであり、出力が A/D 変換器の入力ノード AN0' に接続される。セクタ 72 も 2 入力のセクタであり、その出力は A/D 変換器 22 の入力ノード AN1' に接続される。

【0266】

端子 54 を介して与えられるアナログ信号 AN0 はセクタ 52 の一方の入力に与えられ、電圧変換回路 268 の出力である電圧 VDCout が他方の入力に与えられる。さらに、端子 10 を介して与えられるアナログ信号 AN1 は、セクタ 72 の一方の入力に与えられ、基準電圧発生回路 98 の出力である基準電圧 VDCref がセクタ 72 の他方の入力に与えられる。

【0267】

論理回路 292 は、制御信号やデータとして信号 I/O1 ~ I/On を n 個の端子 16 ~ 18 を介してやり取りする。また、論理回路 292 は、内蔵するレジスタのデータを端子 100 ~ 102 を介してデータ D1 ~ Dm として入出力する。

【0268】

基準電圧発生回路 98 は、VDC 回路 262 の出力である電圧 VDCout の基準となる基準電圧 VDCref を生成する。差動増幅器 28 は、電圧 VDCref と電圧 VDCout とを入力として受ける。差動増幅器 28 は、電圧 VDCout が電圧 VDCref を下回っていれば電圧 VDCout を上昇させるように電圧変換回路 268 に制御信号を出力する。

【0269】

一方、差動増幅器 28 は、電圧 VDCout が電圧 VDCref を上回っていれば電圧 VDCout を上昇させないように制御信号を電圧変換回路 268 に出力する。電圧変換回路 268 は、差動増幅器 28 からの制御信号を受けて電源電圧 VCC からこれより低い所定の電圧 VDCout を生成する。

【0270】

A/D 変換器 22 は、論理回路 292 からの信号により動作の設定をすることができる

。A/D変換器22は、入力ノードAN0'、AN1'から入力されるアナログ信号をA/D変換する。A/D変換器22は、変換結果をデジタル量としてレジスタ32に保存する。

【0271】

論理回路292は、セクタ52、72の入力を選択する信号ADSEL0、ADSEL1を出力する。また、論理回路292は、A/D変換器22内のレジスタ32の値を読出すことができる。さらに、論理回路292は、演算器89により、第1レジスタ84の値から第2レジスタ86の値を差し引いた結果を第3レジスタ88に格納することができる。

【0272】

VDC回路262に配置されているレジスタ266は、VDC回路の動作モードを変更するための制御値を格納するレジスタである。レジスタ266に設定する値により、VDC通常動作モードと、VDCスルーモードと、VDC停止モードの3つのモードのうちの1つを選択することができる。VDC通常動作モードでは、VDC回路262は上述した通常動作を行なう。VDCスルーモードでは、基準電圧発生回路26および差動増幅器28は動作を停止し、電圧変換回路268は、入力された電源電圧VCCを電圧変換を行わずにほぼそのまま電圧VDCoutとして出力する。VDC停止モードでは、VDC回路262は動作を停止し、電圧VDCoutは非活性化される。

【0273】

論理回路292が第1～第3レジスタに加えて、第4レジスタ294と、第5レジスタ296とをさらに含んでいる点が、実施の形態14の特徴の1つである。第4レジスタ294には電源電圧VCCの上限値が格納され、第5レジスタ296には電源電圧VCCの下限値が格納される。また、第1レジスタ84に格納されている値が第4レジスタ294と第5レジスタ296とで指定された値の範囲内でなければ、論理回路292はNGフラグレジスタ298に格納されているフラグを有効にする。

【0274】

次に、半導体集積回路290の全体動作について説明する。

【0275】

まず論理回路292から信号MVDCが出力され、この信号によりレジスタ266に値が書込まれる。書込動作は、半導体集積回路290の外部から端子16～18を介して信号I/O1～I/Onのうちの一部を書込指示信号として入力し、端子100～102を介して書込データとしてデータD1～Dmを入力することにより行なわれる。

【0276】

まず、VDC通常動作モード時には、VDC回路262は実施の形態5等で説明した動作を行なう。

【0277】

次に、VDCスルーモードに設定された場合は、VDC回路262は電圧VDCoutとして電源電圧VCCとほぼ等しい（若干低い）電圧が出力される。

【0278】

論理回路292からA/D変換器22の入力を選択するための選択信号ADSEL0が出力され、これに応じてセクタ52は電圧VDCoutをA/D変換器22の入力ノードAN0'に与える。電圧VDCoutは、A/D変換器によりA/D変換され、その結果がレジスタ32に格納される。レジスタ32の値は論理回路292によって読出され、電圧VDCoutに対応するデジタル値が第1レジスタ84に格納される。

【0279】

論理回路292の内部の第1レジスタ84の内容は、半導体集積回路290の外部から端子100～102を介して読出すことができる。

【0280】

第1レジスタ84の値は、論理回路292の制御により、第4レジスタ294の値および第5レジスタ296の値と比較される。第1レジスタ84の値が第4レジスタ294、

第5レジスタ296で示す値の範囲内出なければ、論理回路292はNGフラグを有効とする。

【0281】

第5レジスタ294、第5レジスタ296の値は、半導体集積回路290の外部から読出および書込をすることができる。またNGフラグレジスタ298の値は、半導体集積回路290の外部から読出すことができまたクリアすることができる。

【0282】

実施の形態14では、VDCスルーモード時において電源電圧VCCに対応する電圧VDCoutが出力される。この電圧VDCoutを予め規定された電圧範囲の中にあるか否かをフラグを読出すことによって確認できる。これにより、電源電圧VCCの監視を行なうことが可能となる。

【0283】

[実施の形態15]

図22は、実施の形態15の半導体集積回路300の構成を示すブロック図である。

【0284】

図22を参照して、半導体集積回路300は、VDC回路302と、A/D変換器22と、論理回路304と、フラッシュメモリ224と、セクタ52および72を含み、これらが1つの半導体チップ上に集積されている。

【0285】

VDC回路302は、基準電圧発生回路98と、差動増幅器147と、電圧変換回路306と、レジスタ96、146および266を含む。

【0286】

A/D変換器22は、A/D変換の結果を格納するレジスタ32を含む。

【0287】

論理回路304は、CPU308と、第1レジスタ84と、第2レジスタ86と、第3レジスタ88と、第4レジスタ294と、第5レジスタ296と、NGフラグレジスタ298を含む。

【0288】

VDC回路302には電源電圧VCCが供給され、A/D変換器には電源電圧AVCCが供給される。論理回路304にはVDC回路302の出力である電圧VDCoutが動作電源電圧として供給される。またフラッシュメモリ224には、外部から電源電圧FVCCが供給されている。つまり、それぞれの回路のブロックは、別々の動作電源電圧を受けて動作する。なお、ここでは、接地電圧VSSつまりグラウンドは各ブロックに対して共通となっている。

【0289】

VDC回路302は、基準電圧発生回路98と、差動増幅器147と、電圧変換回路306と、レジスタ96、146および266を含む。VDC回路302は、外部から電源電圧VCCを受けて、基準電圧発生回路98の出力である基準電圧VDCrefと電圧変換回路306の出力である電圧VDCoutとを出力する。

【0290】

A/D変換器22は、電源電圧AVCCを動作電源電圧として受ける。そしてA/D変換器22は、A/D変換用の参照電圧Avrefを端子14を介して受ける。

【0291】

セクタ52は、アナログ信号AN0と電圧VDCoutのいずれか一方を論理回路304から与えられる信号ADSEL0に従って選択してA/D変換器22の入力ノードAN0'に与える。セクタ72は、基準電圧VDCrefとアナログ信号AN1のいずれか一方を信号ADSEL1に従って選択してA/D変換器22の入力ノードAN1'に与える。

【0292】

論理回路304は、半導体集積回路220の外部と制御信号やデータの信号である信号

I/O1～I/Onをn個の端子16～18を介して入出力する。また論理回路304は、レジスタのデータやCPU308が読出／書込を行なうデータをデータD1～Dmとしてm個の端子100～102を介してやり取りする。また、論理回路304は、CPU308が出力するアドレス値A1～Akを、端子230～232を介して出力する。

【0293】

基準電圧発生回路98は、VDC回路302の出力電圧VDCoutの基準となる基準電圧VDCrefを生成する。差動増幅器147は、電圧VDCrefおよび電圧VDCoutを受けて比較する。

【0294】

差動増幅器147は電圧VDCoutが電圧VDCrefを下回っていれば、電圧VDCoutを上昇させるように制御信号を電圧変換回路306に伝える。一方、差動増幅器147は、電圧VDCoutが電圧VDCrefを上回っていれば、電圧VDCoutを上昇させないように制御信号を電圧変換回路306に伝達する。

【0295】

電圧変換回路306は、差動増幅器147からの制御信号に応じて電源電圧VCCからこれより低い所定の電圧VDCoutを生成する。

【0296】

ADC回路22は、論理回路304からの信号により動作の設定をすることができる。A/D変換器22は、入力ノードAN0'，AN1'から入力されるアナログ信号をA/D変換し、変換結果をデジタル量としてレジスタ32に保存できる。

【0297】

論理回路304は、セクタ52，72の入力を選択する信号ADSEL0，ADSEL1を出力する。また、論理回路304は、A/D変換器22の内部のレジスタ32の値を読出すことができる。また、論理回路304は、第1レジスタ84が保持する電圧VDCoutの値から第2レジスタが保持する基準電圧VDCrefの値を引いた結果を、第3レジスタ88に格納することができる。この動作は、CPU308が有する減算機能により行なうことができる。

【0298】

基準電圧発生回路98の構成は、図7で説明したので説明は繰返さない。

【0299】

図23は、図22における電圧変換回路306の構成を示した回路図である。

【0300】

図23を参照して、電圧変換回路306は、デコード&ゲート選択回路162と、入力切換回路164と、入力固定回路320と、駆動回路166とを含む。デコード&ゲート選択回路162、入力切換回路164および駆動回路166については、図9で説明したものと同じであるので説明は繰返さない。

【0301】

入力固定回路320は、レジスタ266から出力される信号MVDCoffを受けて反転するインバータ322と、電源ノードとPチャネルMOSトランジスタ197のゲートとの間に接続されゲートにインバータ322の出力を受けるPチャネルMOSトランジスタ324と、電源ノードとPチャネルMOSトランジスタ198のゲートとの間に接続されゲートにインバータ322の出力を受けるPチャネルMOSトランジスタ326と、電源ノードとPチャネルMOSトランジスタ199のゲートとの間に接続されゲートにインバータ322の出力を受けるPチャネルMOSトランジスタ328とを含む。

【0302】

入力固定回路320は、さらに、PチャネルMOSトランジスタ197のゲートと接地ノードとの間に接続されゲートに信号MVDCthroughを受けるNチャネルMOSトランジスタ330と、PチャネルMOSトランジスタ198のゲートと接地ノードとの間に接続されゲートに信号MVDCthroughを受けるNチャネルMOSトランジスタ332と、PチャネルMOSトランジスタ199と接地ノードとの間に接続されゲートに信号MVDC

C throughを受けるNチャネルMOSトランジスタ334とを含む。

【0303】

レジスタ96に設定する値を変更することにより基準電圧VDCrefを変更することができ電圧VDCoutを調整することができる。またレジスタ146の設定を変更することにより駆動用のトランジスタ197~199の使用する数を変更することができ、これにより負荷電流に応じた追従速度を調整することができる。

【0304】

さらに、レジスタ266の値を設定することによりVDC停止モードでは信号MVDCoffをHレベルに活性化しPチャネルMOSトランジスタ197~199をすべて非導通状態に設定し電圧VDCoutを非活性化することができる。

【0305】

また、レジスタ266を設定することによりVDCスルーモードに設定すれば信号MVDCthroughがHレベルに活性化しPチャネルMOSトランジスタ197~199はすべて導通状態となり電圧VDCoutとして電源電圧VCCがそのまま出力される。

【0306】

再び、図22を参照して、電圧変換回路306は、複数の駆動用トランジスタを含んでおり、通常は基準となる個数の駆動用トランジスタが動作する。動作する駆動用トランジスタの個数は、レジスタ146の値により変更することができる。レジスタ146の値が負のとき駆動用トランジスタの個数が増加し、正のときは駆動用トランジスタの個数が減少するように電圧変換回路306は動作する。なお、レジスタ146は、電流駆動用トランジスタの動作個数を格納し、レジスタ146で指定された個数のトランジスタが動作するように電圧変換回路306を構成してもよい。

【0307】

なお、図22では、レジスタ146は、VDC回路302の内部に配置されているが、論理回路304の内部もしくはそれ以外の領域に配置されていてもよい。また、レジスタ146に格納される値は、CPU308を含む論理回路304によって読出および書込をすることができる。

【0308】

基準電圧発生回路98は、基準となる出力電圧と、それより高い1つまたは複数の電圧と、それより低い1つまたは複数の電圧とを出力することができる。これらの電圧は、レジスタ96の値により選択することができる。図22では、レジスタ96はVDC回路302の内部に配置されているが、論理回路304の内部もしくはそれ以外の領域に配置されていてもよい。

【0309】

VDC回路302に配置されているレジスタ266は、VDC回路の動作モードを変更するための制御値を格納するレジスタである。レジスタ266に設定する値により、VDC通常動作モードと、VDCスルーモードと、VDC停止モードの3つのモードのうちの1つを選択することができる。VDC通常動作モードでは、VDC回路302は上述した通常動作を行なう。VDCスルーモードでは、基準電圧発生回路26および差動増幅器147は動作を停止し、電圧変換回路306は、入力された電源電圧VCCを電圧変換を行わずにほぼそのまま電圧VDCoutとして出力する。VDC停止モードでは、VDC回路302は動作を停止し、電圧VDCoutは非活性化される。なお、図22では、レジスタ266はVDC回路302の内部に配置されているが、論理回路304の内部に配置されていてもよい。

【0310】

論理回路304が第1~第3レジスタに加えて、第4レジスタ294と、第5レジスタ296とをさらに含んでいる点が、実施の形態15の特徴の1つである。第4レジスタ294には電源電圧VCCの上限値が格納され、第5レジスタ296には電源電圧VCCの下限値が格納される。また、第1レジスタ84に格納されている値が第4レジスタ294と第5レジスタ296とで指定された値の範囲内でなければ、論理回路304はNGフラ

レジスタ 2 9 8 に格納されているフラグを有効にする。

【 0 3 1 1 】

次に半導体集積回路 3 0 0 の全体動作について説明する。

【 0 3 1 2 】

フラッシュメモリ 2 2 4 には、CPU 3 0 8 が実行する命令列およびその命令を実行する際に使用するデータが配置されている。実施の形態 1 5 の動作を実行するための CPU 用命令列（プログラム）およびこれらの命令で使用するパラメータ（データ）もフラッシュメモリ 2 2 4 に格納されている。半導体集積回路 3 0 0 の電源立上時、リセット時または、ユーザが本プログラム以外のプログラムから本プログラムの起動を要求した際に、フラッシュメモリ 2 2 4 に格納されたプログラムを実行することができる。

【 0 3 1 3 】

このようにして起動されたプログラムによって動作する CPU 3 0 8 の制御により、動作モードを制御するレジスタ 2 6 6 に値を書込む。

【 0 3 1 4 】

まず、VDC 通常動作モード時には、VDC 回路 3 0 2 は実施の形態 5 等で説明した動作を行なう。

【 0 3 1 5 】

次に、VDC スルーモードに設定された場合は、VDC 回路 3 0 2 は電圧 VDC o u t として電源電圧 VCC とほぼ等しい（若干低い）電圧が出力される。

【 0 3 1 6 】

論理回路 3 0 4 から A/D 変換器 2 2 の入力を選択するための選択信号 ADSEL 0 が出力され、これに応じてセクタ 5 2 は電圧 VDC o u t を A/D 変換器 2 2 の入力ノード AN 0' に与える。電圧 VDC o u t は、A/D 変換器により A/D 変換され、その結果がレジスタ 3 2 に格納される。レジスタ 3 2 の値は論理回路 3 0 4 によって読出され、電圧 VDC o u t に対応するデジタル値が第 1 レジスタ 8 4 に格納される。

【 0 3 1 7 】

論理回路 3 0 4 の内部の第 1 レジスタ 8 4 の内容は、半導体集積回路 3 0 0 の外部から端子 1 0 0 ~ 1 0 2 を介して読出すことができる。

【 0 3 1 8 】

VDC 停止モードに設定した場合は、電圧変換回路 3 0 6 は電圧 VDC o u t を駆動しない。このため、論理回路 3 0 4 は動作できなくなる。この場合はリセット（図示せず）を入力するか、または電源電圧 VCC を一度オフにしてから再度投入する。

【 0 3 1 9 】

VDC スルーモードで動作する場合には第 1 レジスタ 8 4 の内容は、第 4 レジスタ 2 9 4 および第 5 レジスタ 2 9 6 の値と比較される。第 1 レジスタ 8 4 の値が第 4 レジスタ 2 9 4 の値と第 5 レジスタ 2 9 6 の値の間の値ではない場合には、NG フラグが有効となる。各レジスタの値や NG フラグの内容は入出力端子 1 6 ~ 1 8、もしくはデータバスが接続される端子 1 0 0 ~ 1 0 2 を通じて半導体集積回路 3 0 0 の外部に出力される。

【 0 3 2 0 】

以上説明したように、実施の形態 1 5 では、VDC 回路 3 0 2 に VDC スルーモードを設け電源電圧 VCC をデジタル値として外部から観測可能にする。それとともに、フラッシュメモリに格納されたプログラムで動作する CPU を搭載することで、電源電圧 VCC の管理を容易に行なえる。つまり、フラッシュメモリ内のパラメータを変更することにより、システムに応じて電源電圧 VCC の上限値、下限値を変更することができる。

【 0 3 2 1 】

また、電源電圧 VCC が低下してしまい VDC 回路 3 0 2 を通常モードで動作させていると必要な電圧 VDC o u t が得られない場合には、VDC スルーモードに切換え、論理回路 3 0 4 への供給電圧をアップさせ、必要な情報をフラッシュメモリへ退避させることが可能となる。

【 0 3 2 2 】

【実施の形態 16】

図 24 は、実施の形態 16 の半導体集積回路 350 の構成を示したブロック図である。

【0323】

図 24 を参照して、半導体集積回路 350 は、VDC 回路 302 と、A/D 変換器 22 と、論理回路 352 と、セクタ 52, 72 とを含み、これらの回路は 1 つの半導体チップ上に集積されている。各回路はそれぞれ専用の入出力端子を有する。

【0324】

電源について説明する。VDC 回路 302 は端子 2 を介して電源電圧 VCC を受ける。A/D 変換器 22 は、端子 12 を介して電源電圧 AVCC を受ける。CPU 356 を含む論理回路 352 は、VDC 回路 302 の出力である電圧 VDCout を電源電圧として受ける。つまり、それぞれの回路のブロックは、別々の電源電圧を受けて動作する。ここで、接地電圧 VSS つまりグラウンドは各ブロックに対して共通である。

【0325】

VDC 回路 302 は、基準電圧発生回路 98 と、差動増幅器 147 と、電圧変換回路 306 と、レジスタ 96, 146, 266 とを含む。VDC 回路 302 は、外部から電源電圧 VCC を受けて、基準電圧発生回路 98 の出力である基準電圧 VDCref と電圧変換回路 306 の出力である電圧 VDCout とを出力する。

【0326】

A/D 変換器 22 は、電源電圧 AVCC を動作電源電圧として受ける。そして A/D 変換器 22 は、A/D 変換用の参照電圧 Avref を端子 14 を介して受ける。

【0327】

セクタ 52 は、アナログ信号 AN0 と電圧 VDCout のいずれか一方を論理回路 352 から与えられる信号 ADSEL0 に従って選択して A/D 変換器 22 の入力ノード AN0' に与える。セクタ 72 は、基準電圧 VDCref とアナログ信号 AN1 のいずれか一方を信号 ADSEL1 に従って選択して A/D 変換器 22 の入力ノード AN1' に与える。

【0328】

論理回路 352 は、CPU 356 と、第 1 レジスタ 84 と、第 2 レジスタ 86 と、第 3 レジスタ 88 と、SRAM 254 と、マスク ROM 354 とを含む。論理回路 352 は、半導体集積回路 350 の外部と制御信号やデータの信号である信号 I/O1 ~ I/On を n 個の端子 16 ~ 18 を介して入出力する。また論理回路 352 は、レジスタのデータや CPU 356 が読出/書込を行なうデータをデータ D1 ~ Dm として m 個の端子 100 ~ 102 を介してやり取りする。また、論理回路 352 は、CPU 356 が出力するアドレス値 A1 ~ Ak を、端子 230 ~ 232 を介して出力する。

【0329】

基準電圧発生回路 98 は、VDC 回路 302 の出力電圧 VDCout の基準となる基準電圧 VDCref を生成する。差動増幅器 147 は、電圧 VDCref および電圧 VDCout を受けて比較する。

【0330】

差動増幅器 147 は電圧 VDCout が電圧 VDCref を下回っていれば、電圧 VDCout を上昇させるように制御信号を電圧変換回路 306 に伝える。一方、差動増幅器 147 は、電圧 VDCout が電圧 VDCref を上回っていれば、電圧 VDCout を上昇させないように制御信号を電圧変換回路 306 に伝達する。

【0331】

電圧変換回路 306 は、差動増幅器 147 からの制御信号に応じて電源電圧 VCC からこれより低い所定の電圧 VDCout を生成する。

【0332】

ADC 回路 22 は、論理回路 352 からの信号により動作の設定をすることができる。A/D 変換器 22 は、入力ノード AN0', AN1' から入力されるアナログ信号を A/D 変換し、変換結果をデジタル量としてレジスタ 32 に保存できる。

【0333】

論理回路352は、セクタ52、72の入力を選択する信号ADSEL0、ADSEL1を出力する。また、論理回路352は、A/D変換器22の内部のレジスタ32の値を読み出すことができる。また、論理回路352は、第1レジスタ84が保持する電圧VDCoutの値から第2レジスタが保持する基準電圧VDCrefの値を引いた結果を、第3レジスタ88に格納することができる。この動作は、CPU356が有する減算機能により行なうことができる。

【0334】

基準電圧発生回路98および電圧変換回路306の構成は、図7および図23で説明したので説明は繰返さない。

【0335】

電圧変換回路306は、複数の駆動用トランジスタを含んでおり、通常は基準となる個数の駆動用トランジスタが動作する。動作する駆動用トランジスタの個数は、レジスタ146の値により変更することができる。レジスタ146の値が負のとき駆動用トランジスタの個数が増加し、正のときは駆動用トランジスタの個数が減少するように電圧変換回路306は動作する。なお、レジスタ146は、電流駆動用トランジスタの動作個数を格納し、レジスタ146で指定された個数のトランジスタが動作するように電圧変換回路306を構成してもよい。

【0336】

なお、図24では、レジスタ146は、VDC回路302の内部に配置されているが、論理回路352の内部もしくはそれ以外の領域に配置されていてもよい。また、レジスタ146に格納される値は、CPU356を含む論理回路352によって読出および書込をすることができる。

【0337】

VDC回路302に配置されているレジスタ266は、VDC回路の動作モードを変更するための制御値を格納するレジスタである。レジスタ266に設定する値により、VDC通常動作モードと、VDCスルーモードと、VDC停止モードの3つのモードのうちの1つを選択することができる。

【0338】

VDC通常動作モードでは、VDC回路302は上述した通常動作を行なう。VDCスルーモードでは、基準電圧発生回路26および差動増幅器147は動作を停止し、電圧変換回路306は、入力された電源電圧VCCを電圧変換を行わずにほぼそのまま電圧VDCoutとして出力する。VDC停止モードでは、VDC回路302は動作を停止し、電圧VDCoutは非活性化される。なお、図24では、レジスタ266はVDC回路302の内部に配置されているが、論理回路352の内部に配置されていてもよい。

【0339】

論理回路352が第1～第3レジスタに加えて、第4レジスタ294と、第5レジスタ296とをさらに含んでいる点が、実施の形態15の特徴の1つである。第4レジスタ294には電源電圧VCCの上限値が格納され、第5レジスタ296には電源電圧VCCの下限値が格納される。また、第1レジスタ84に格納されている値が第4レジスタ294と第5レジスタ296とで指定された値の範囲内でなければ、論理回路352はNGフラグレジスタ298に格納されているフラグを有効にする。

【0340】

次に半導体集積回路350の全体動作について説明する。

【0341】

CPU356が実行する命令列およびその命令を実行する際に使用するデータは、半導体集積回路350の外部に配置されたEEPROMなどの記憶装置（図示せず）に格納されている。

【0342】

マスクROM354には、上記記憶装置内の命令列およびデータをSRAM254にロ

ードし、CPU 3 5 6 の動作をそのロードしたプログラムへ移すためのプログラム（ブートプログラム）が配置されている。

【0 3 4 3】

このブートプログラムは、半導体集積回路 3 5 0 のリセット時もしくはマスク ROM 内の他のプログラムがそのブートプログラムの起動を要求した際に動作する。以下に、リセット時にこのブートプログラムで SRAM 2 5 4 内にブートされたプログラムによる動作を説明する。

【0 3 4 4】

このようにして起動されたプログラムによって動作する CPU 3 5 6 の制御により、モードを設定する情報をレジスタ 2 6 6 に書込む。

【0 3 4 5】

まず、VDC 通常動作モード時には、VDC 回路 3 0 2 は実施の形態 5 等で説明した動作を行なう。

【0 3 4 6】

次に、VDC スルーモードに設定された場合は、VDC 回路 3 0 2 は電圧 VDC out として電源電圧 VCC とほぼ等しい（若干低い）電圧が出力される。

【0 3 4 7】

論理回路 3 5 2 から A/D 変換器 2 2 の入力を選択するための選択信号 ADSEL 0 が出力され、これに応じてセクタ 5 2 は電圧 VDC out を A/D 変換器 2 2 の入力ノード AN0' に与える。電圧 VDC out は、A/D 変換器により A/D 変換され、その結果がレジスタ 3 2 に格納される。レジスタ 3 2 の値は論理回路 3 5 2 によって読出され、電圧 VDC out に対応するデジタル値が第 1 レジスタ 8 4 に格納される。

【0 3 4 8】

論理回路 3 5 2 の内部の第 1 レジスタ 8 4 の内容は、半導体集積回路 3 5 0 の外部から端子 1 0 0 ~ 1 0 2 を介して読出すことができる。

【0 3 4 9】

VDC 停止モードに設定した場合は、電圧変換回路 3 0 6 は電圧 VDC out を駆動しない。このため、論理回路 3 5 2 は動作できなくなる。この場合はリセット（図示せず）を入力するか、または電源電圧 VCC を一度オフにしてから再度投入する。

【0 3 5 0】

VDC スルーモードで動作する場合には第 1 レジスタ 8 4 の内容は、第 4 レジスタ 2 9 4 および第 5 レジスタ 2 9 6 の値と比較される。第 1 レジスタ 8 4 の値が第 4 レジスタ 2 9 4 の値と第 5 レジスタ 2 9 6 の値の間の値ではない場合には、NG フラグが有効となる。各レジスタの値や NG フラグの内容は入出力端子 1 6 ~ 1 8、もしくはデータバスが接続される端子 1 0 0 ~ 1 0 2 を通じて半導体集積回路 3 5 0 の外部に出力される。

【0 3 5 1】

以上説明したように、実施の形態 1 6 では、VDC 回路 3 0 2 に VDC スルーモードを設ける。これにより VDC 回路に入力される電源電圧 VCC をデジタル値として観測することが可能となる。これとともに、マスク ROM 3 5 4 上にブートプログラムを配置し、所定のプログラムを SRAM 2 5 4 にロードする。このロードされたプログラムで動作する CPU 3 5 6 を搭載することで、電源電圧 VCC の管理を容易に行なえる。つまり、電源電圧 VCC の低下などの異常の検出ができ、また、半導体集積回路 3 5 0 の外部に配置された EEPROM 内のパラメータを変更することにより、電源電圧 VCC の上限値および下限値をシステムに応じて変更することができる。

【0 3 5 2】

また、実施の形態 1 6 では、マスク ROM 3 5 4 上のブートプログラムによって外部に配置された EEPROM 等から内蔵する SRAM 2 5 4 にプログラムをロードして CPU 3 5 6 に実行させるので、フラッシュメモリを搭載する場合と比較してウェハプロセスの工程数が削減できる。よって、半導体集積回路の製造コストを低減することができる。

【0 3 5 3】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0354】

【図1】 本発明の実施の形態1の半導体集積回路1の構成を示すブロック図である。

【図2】 実施の形態2の半導体集積回路50の構成を示したブロック図である。

【図3】 実施の形態3の半導体集積回路60の構成を示したブロック図である。

【図4】 実施の形態4の半導体集積回路70の構成を示したブロック図である。

【図5】 実施の形態5の半導体集積回路80の構成を示したブロック図である。

【図6】 実施の形態6の半導体集積回路90の構成を示したブロック図である。

【図7】 図6における基準電圧発生回路98の構成を示した回路図である。

【図8】 実施の形態7の半導体集積回路140の構成を示したブロック図である。

【図9】 図8における差動増幅器147および電圧変換回路148の構成を示した回路図である。

【図10】 実施の形態8の半導体集積回路200の構成を示したブロック図である。

【図11】 ヒューズ回路204の構成例を示した図である。

【図12】 実施の形態9の半導体集積回路210の構成を示したブロック図である。

【図13】 実施の形態10の半導体集積回路220の構成を示したブロック図である。

【図14】 CPUが行なう第1の処理を示したフローチャートである。

【図15】 CPU228の第2の処理を説明するためのフローチャートである。

【図16】 CPUが行なう第3の処理を説明するためのフローチャートである。

【図17】 実施の形態11の半導体集積回路240の構成を示すブロック図である。

【図18】 実施の形態12の半導体集積回路250の構成を示したブロック図である。

【図19】 実施の形態13の半導体集積回路260の構成を示したブロック図である。

【図20】 図19における電圧変換回路268の構成を示した回路図である。

【図21】 実施の形態14の半導体集積回路290の構成を示したブロック図である。

【図22】 実施の形態15の半導体集積回路300の構成を示すブロック図である。

【図23】 図22における電圧変換回路306の構成を示した回路図である。

【図24】 実施の形態16の半導体集積回路350の構成を示したブロック図である。

【符号の説明】

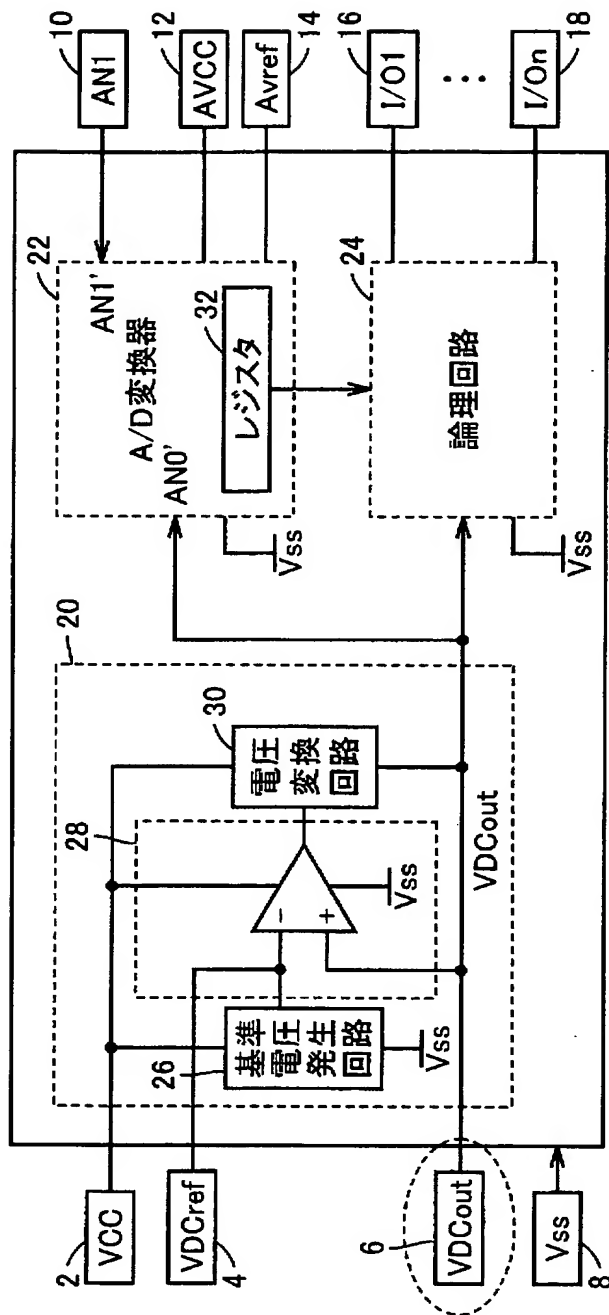
【0355】

1, 50, 60, 70, 80, 90, 140, 200, 210, 220, 240, 250, 260, 290, 300, 350 半導体集積回路、2, 4, 6, 8, 10, 12, 14, 16~18, 54, 100, 102, 230~232, 242, 244 端子、20, 92, 141, 202, 212, 222, 262, 302 VDC回路、22 A/D変換器、24, 56, 74, 82, 94, 142, 226, 252, 264, 292, 304, 352 論理回路、26, 98, 112 基準電圧発生回路、28, 147 差動増幅器、30, 148, 268, 306 電圧変換回路、32, 84, 86, 88, 96, 146, 266, 294, 296 レジスタ、52, 72 セレクタ、89 演算器、114, 162 デコード&ゲート選択回路、118, 122, 126, 174, 270 トランSMissionゲート、128 アンプ、132, 134, 136 抵抗、152, 154, 156 比較回路、164 入力切換回路、166 駆動回路、204, 214 ヒューズ回路、224 フラッシュメモリ、228, 308, 356 CPU、2

5 4 S R A M、2 5 6、3 5 4 マスク R O M、2 9 8 N G フラグレジスタ、3 2 0
入力固定回路、F U S E ヒューズ素子、R 抵抗。

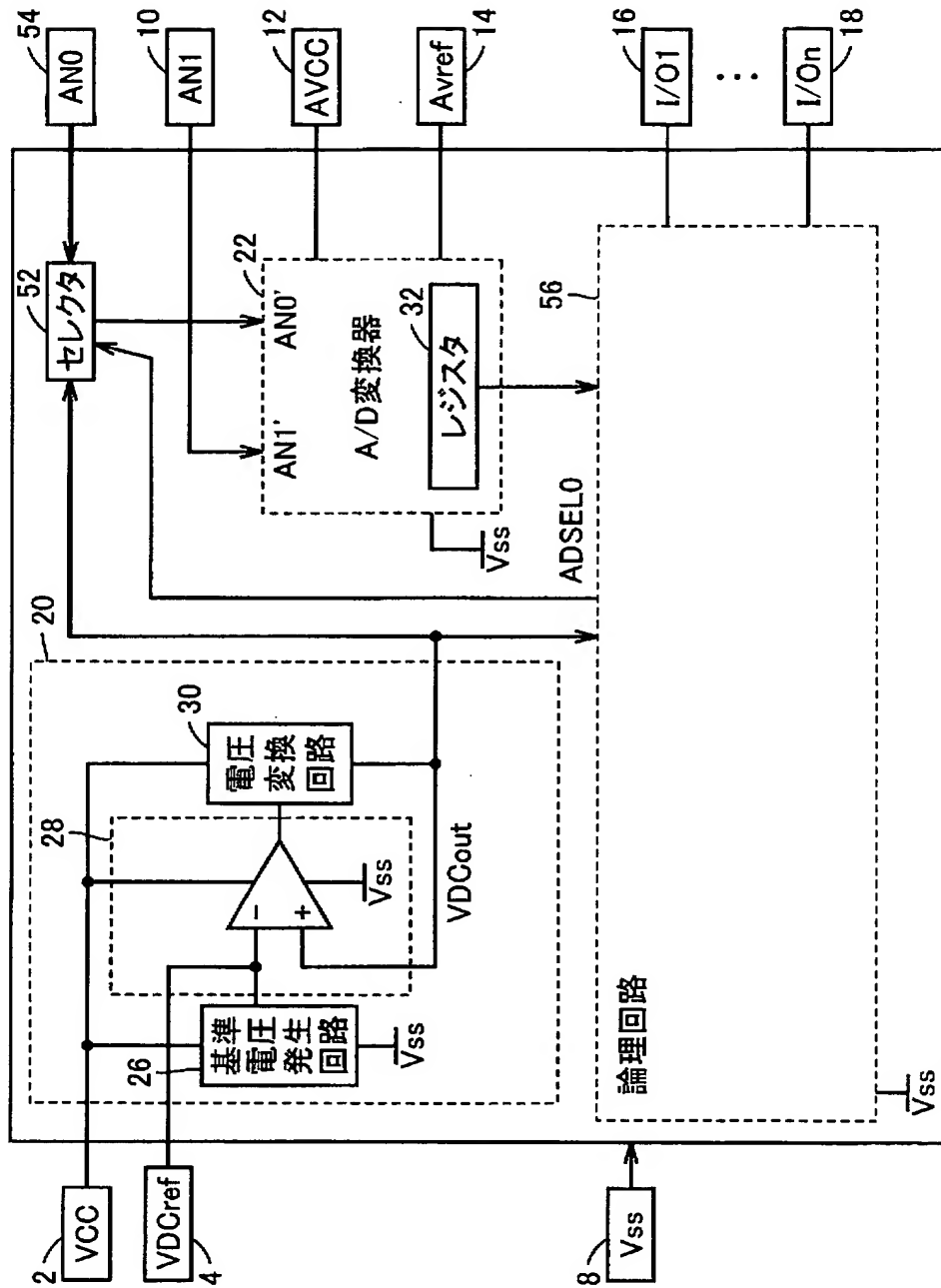
【書類名】 図面
【図 1】

1



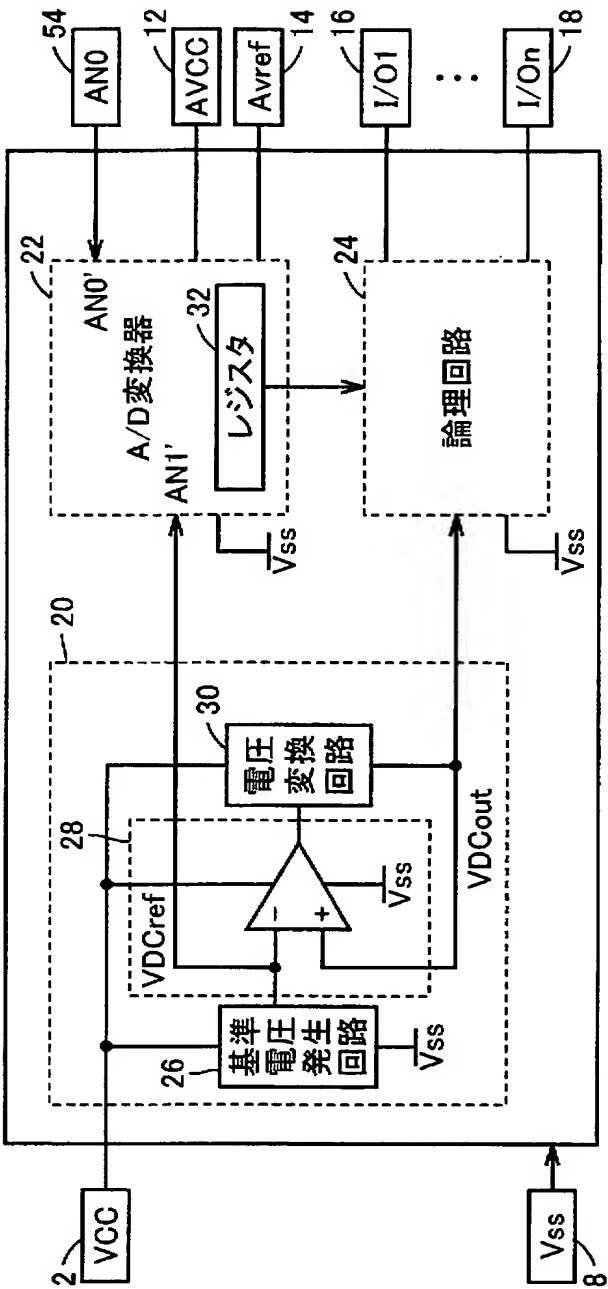
【図 2】

50



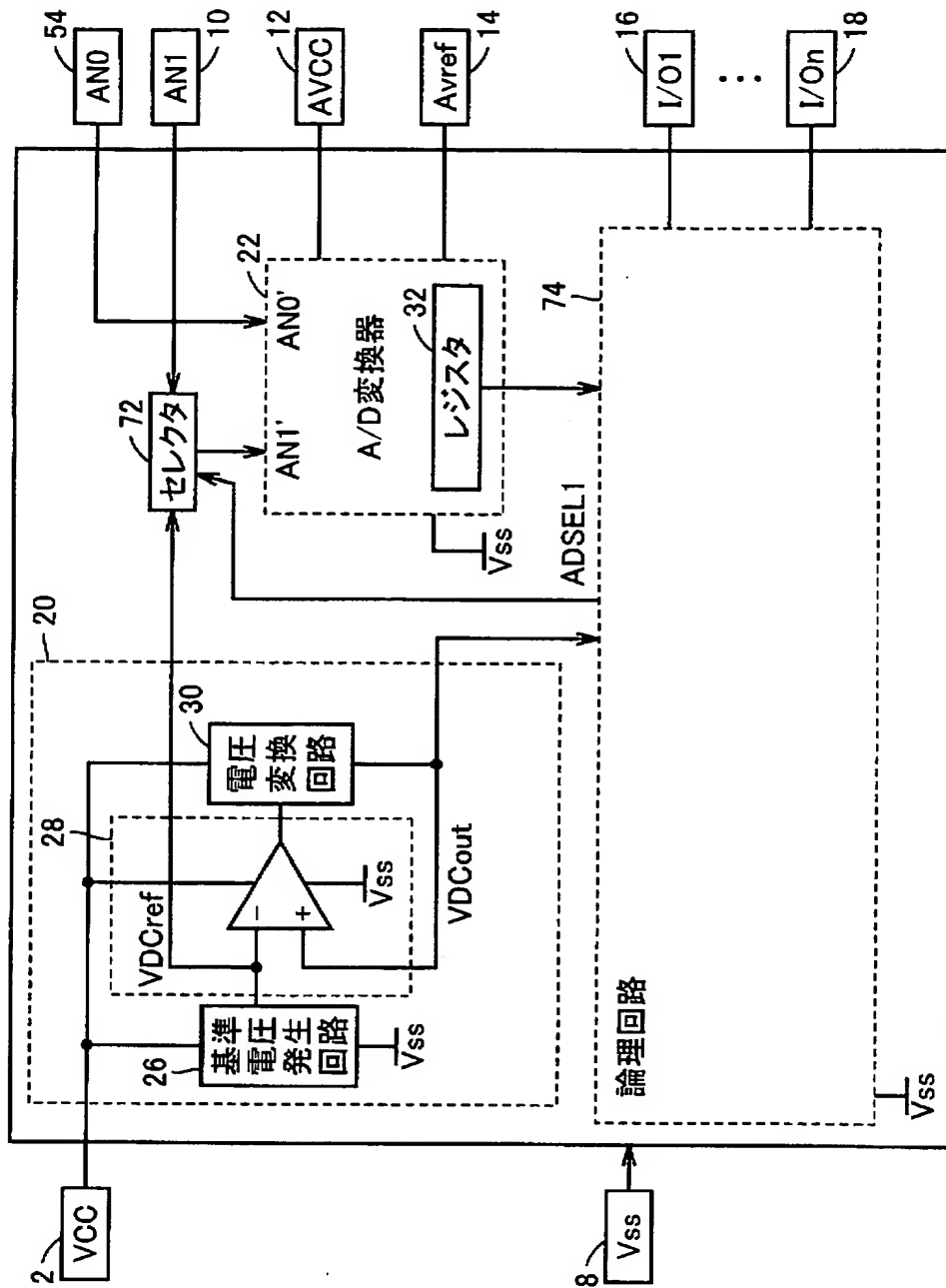
【図 3】

60



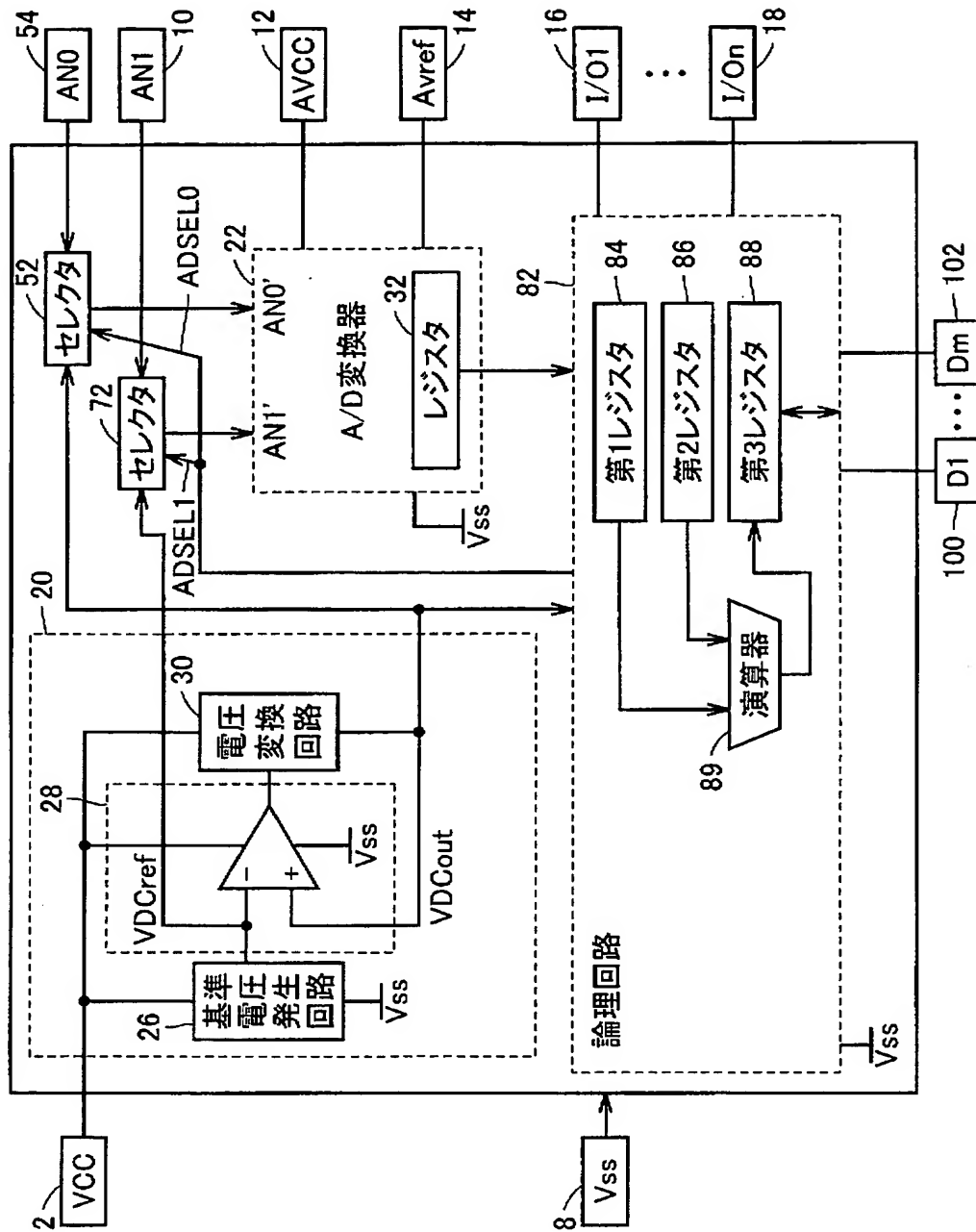
【図 4】

70



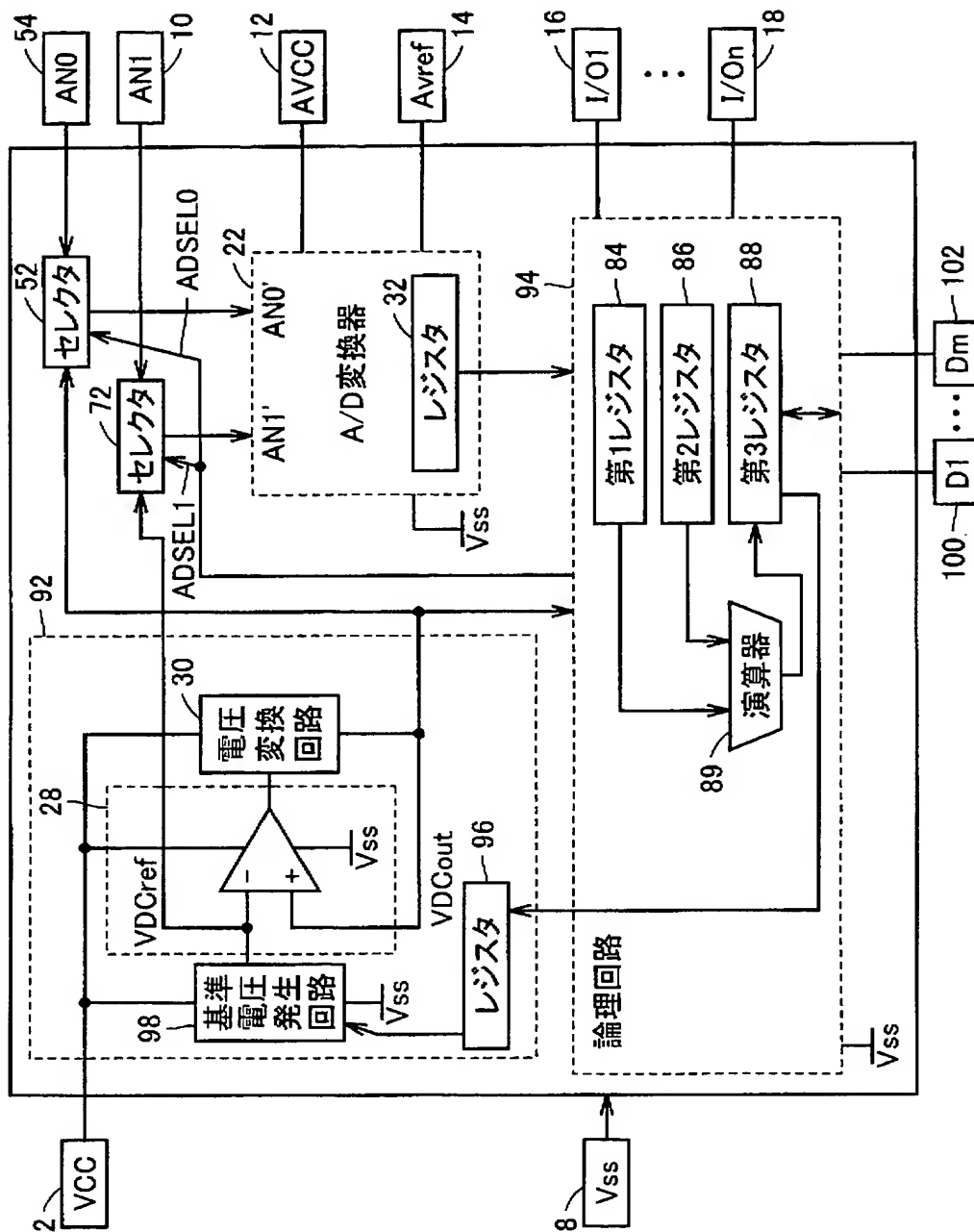
【図 5】

80

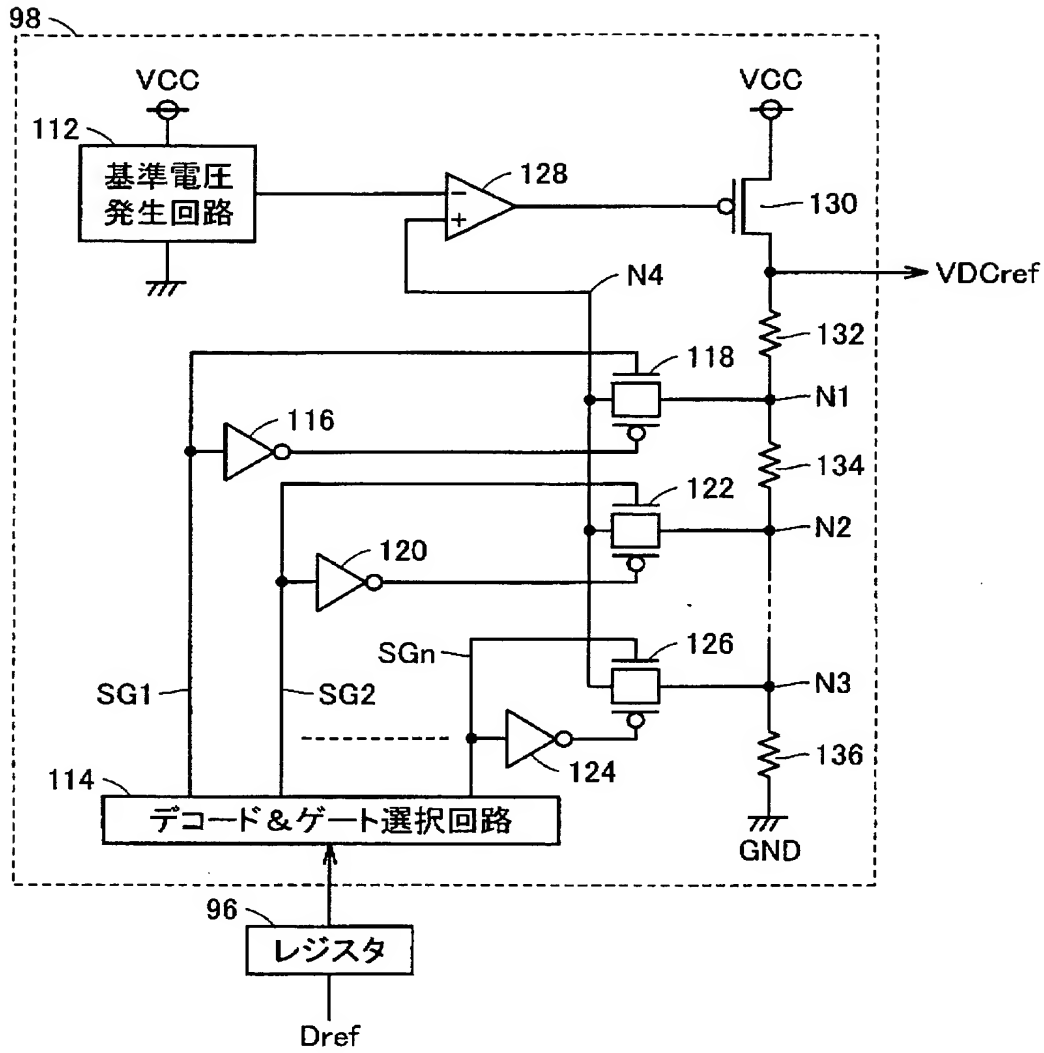


【図 6】

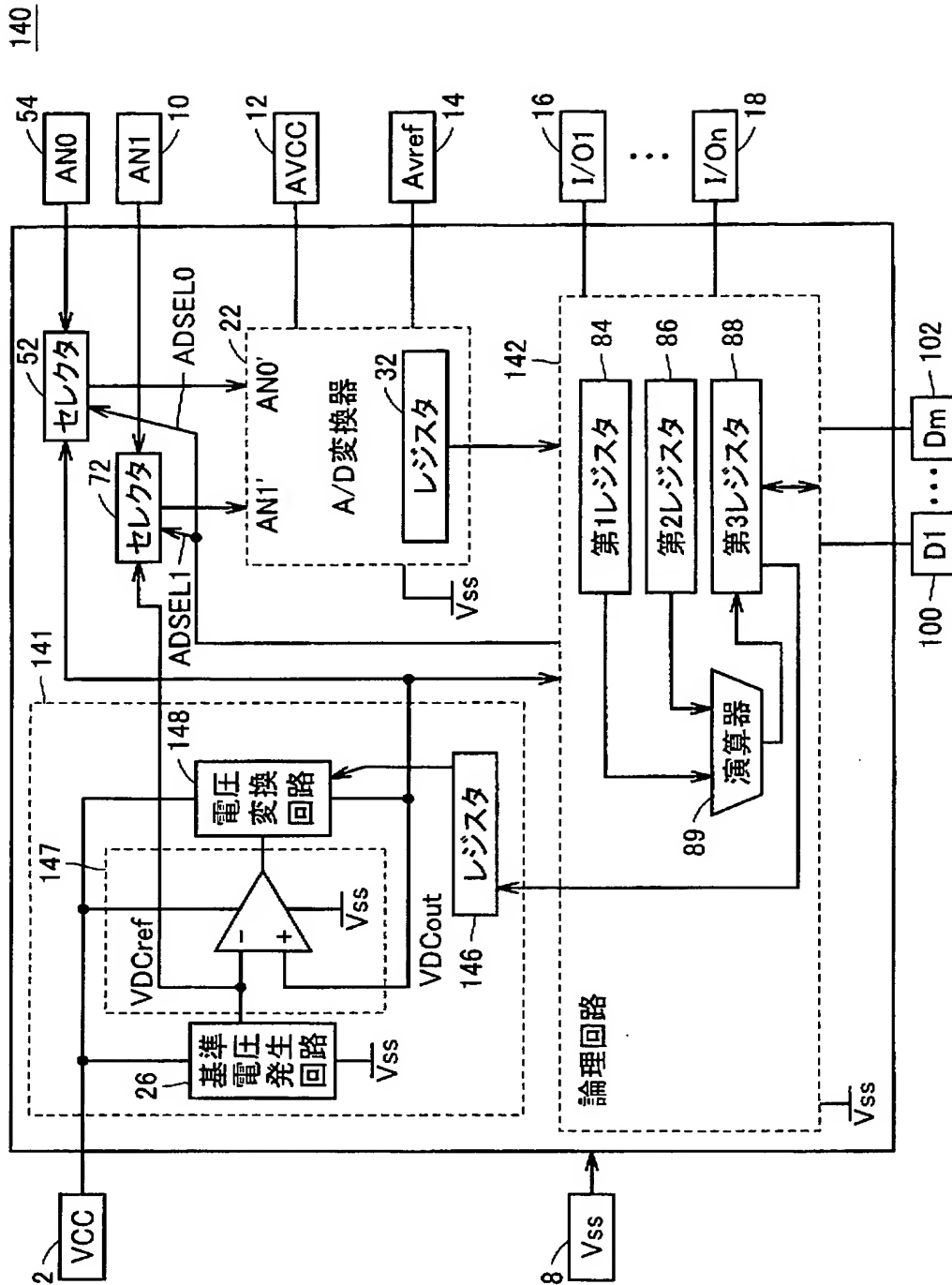
90



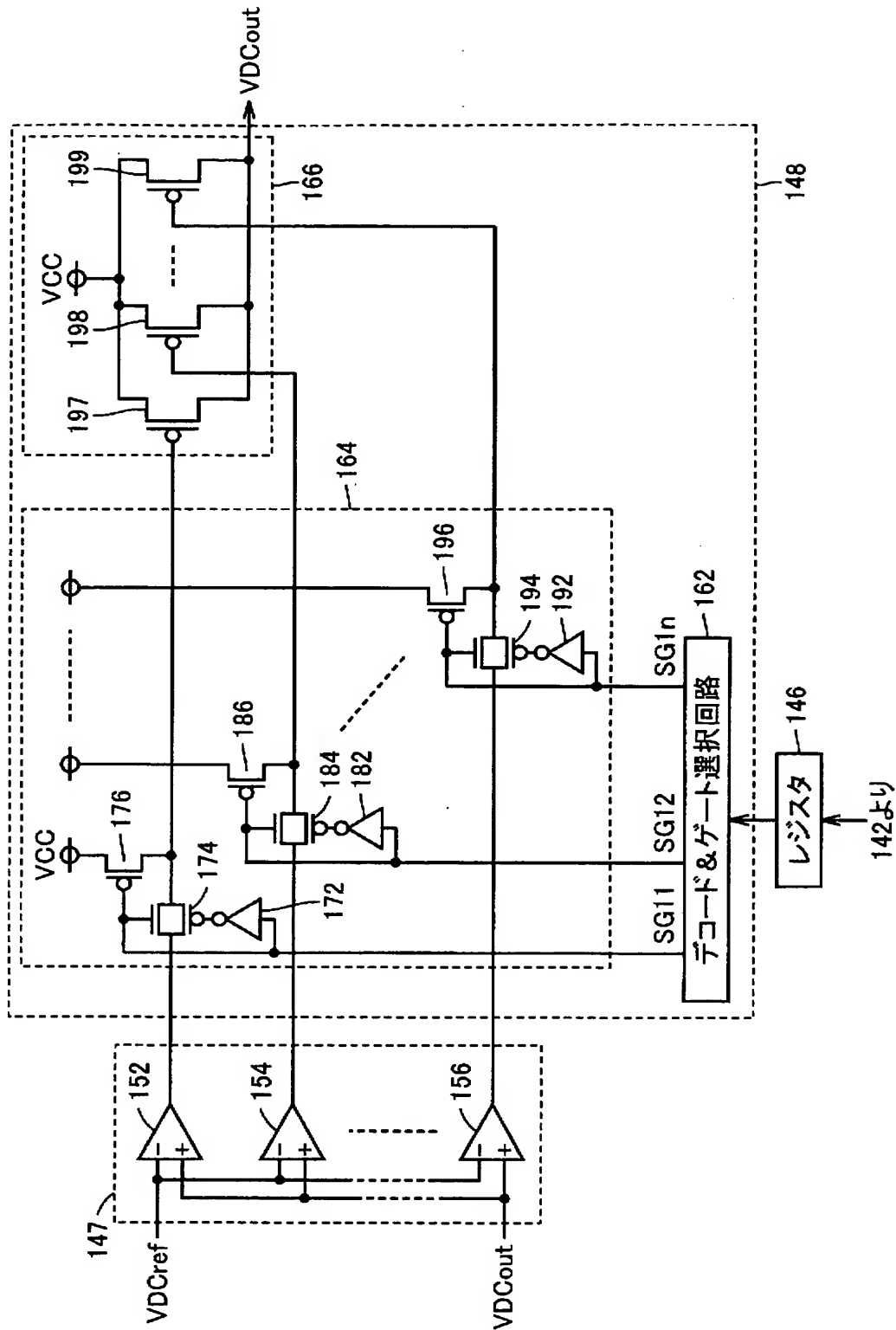
【図 7】



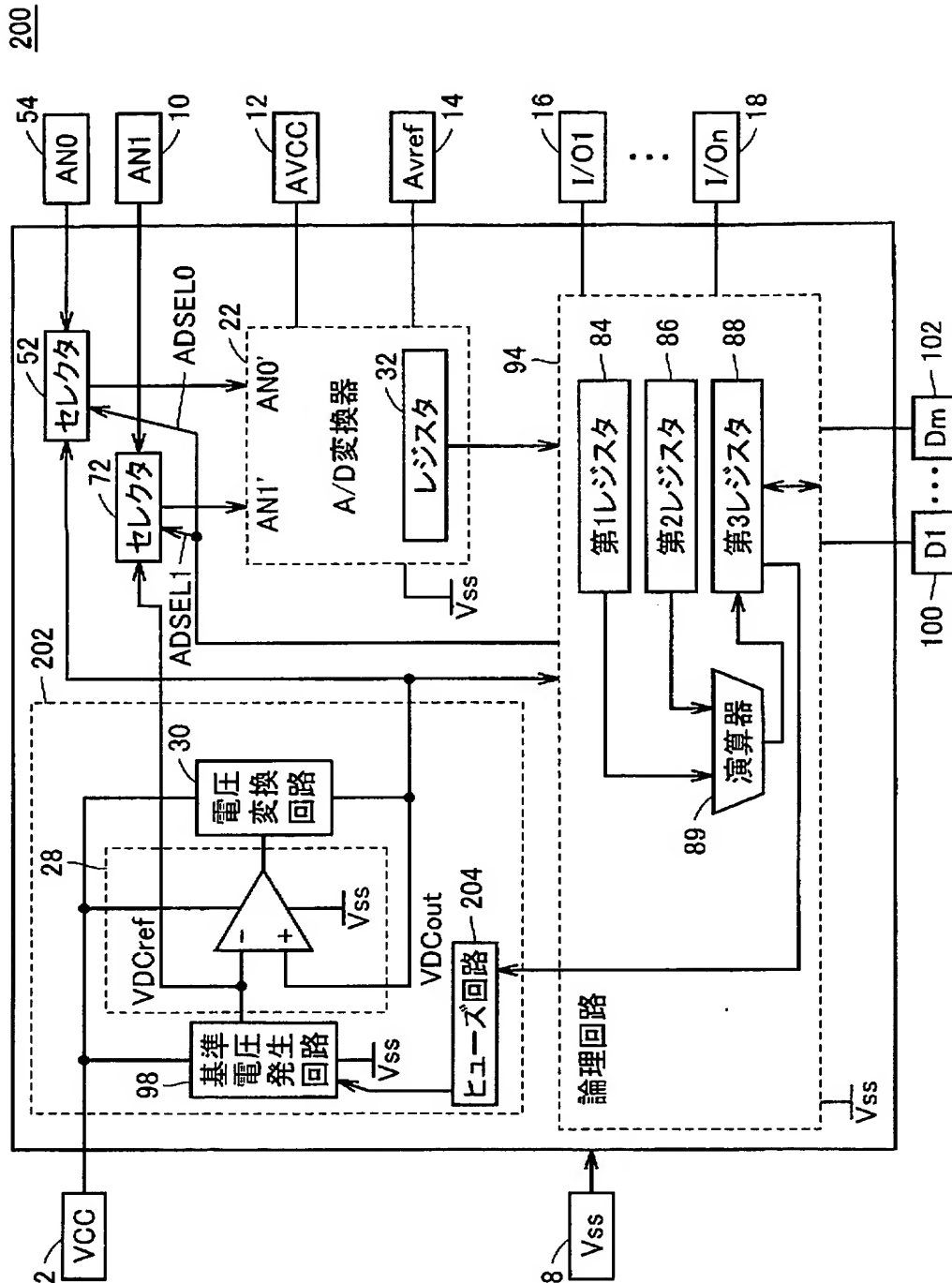
【図8】



【図 9】

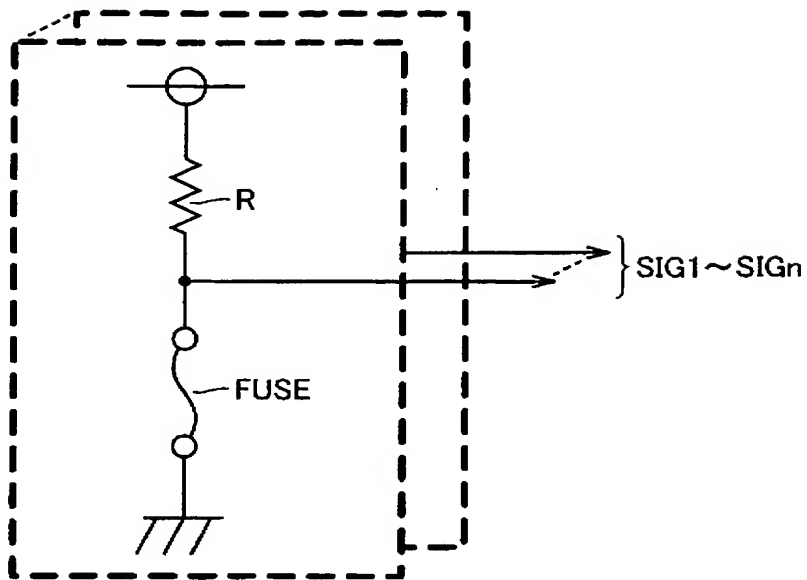


【図 10】



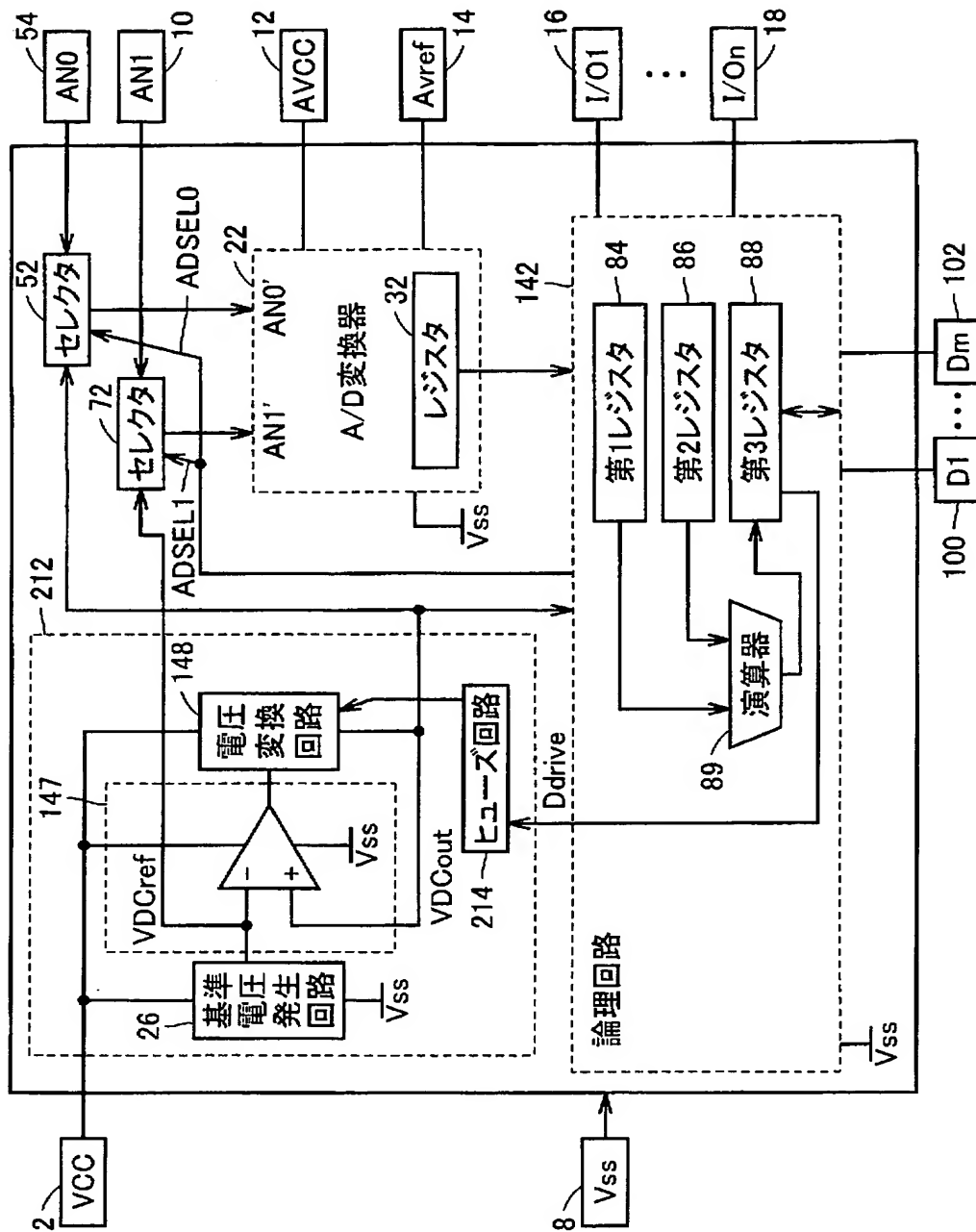
【図 11】

204

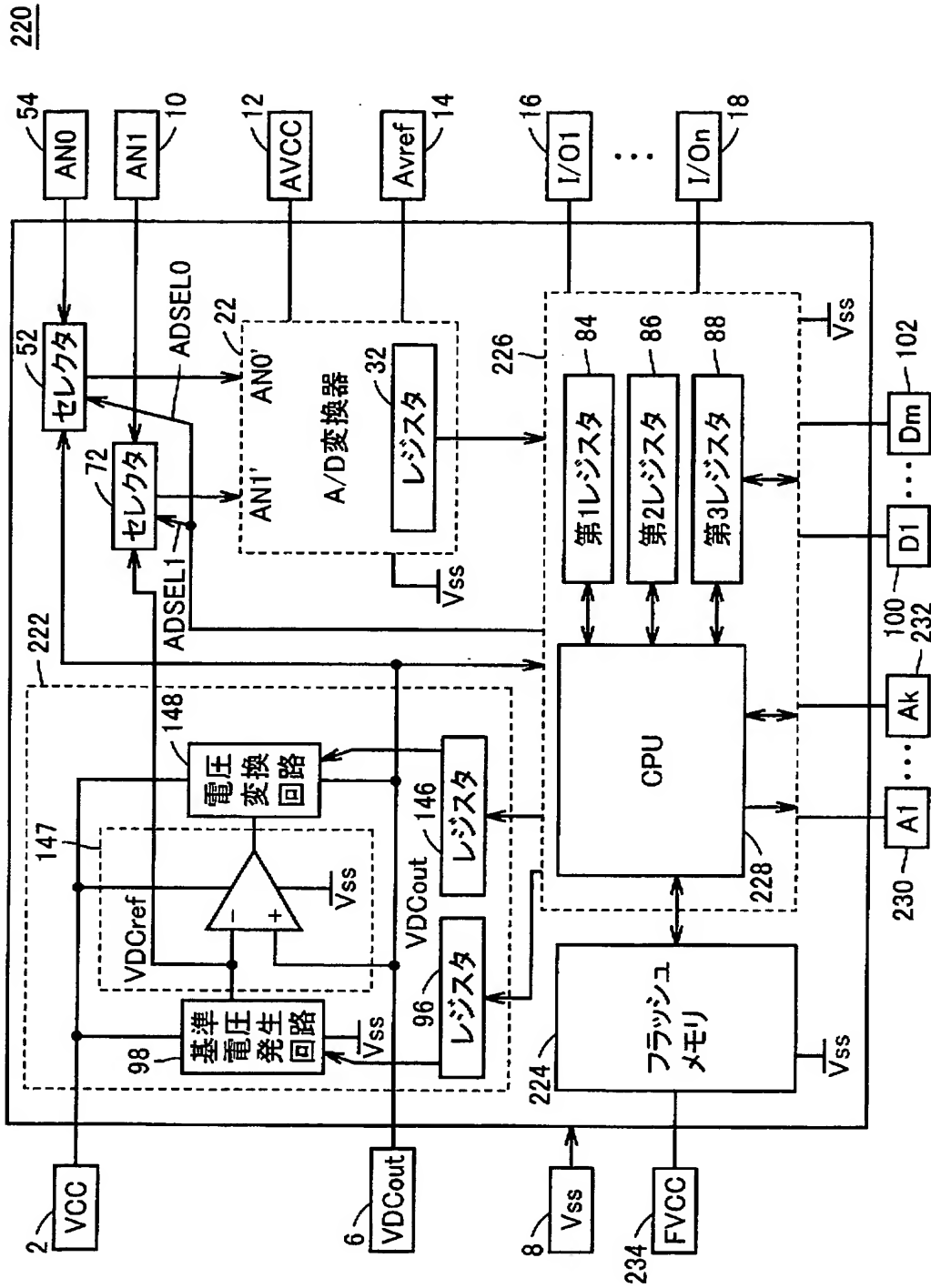


【図 12】

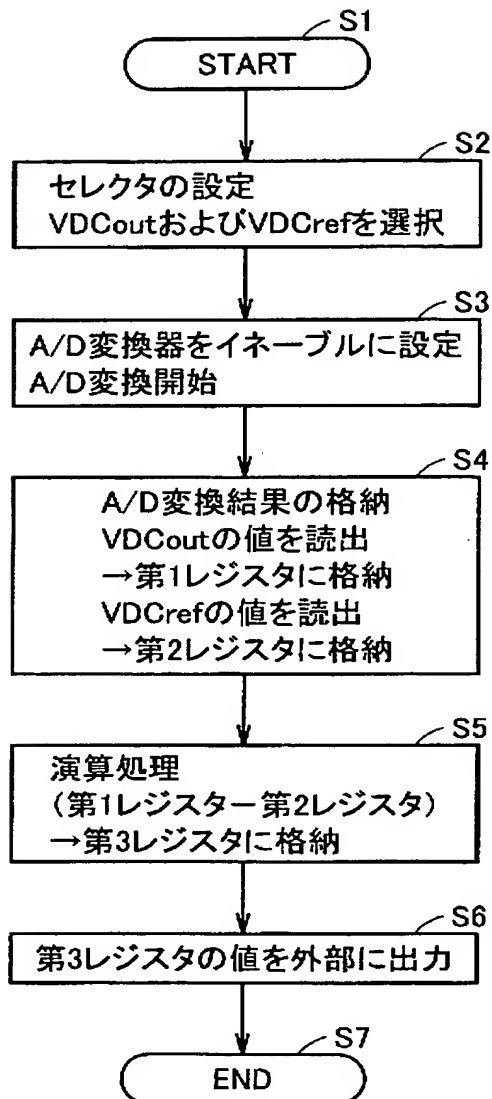
210



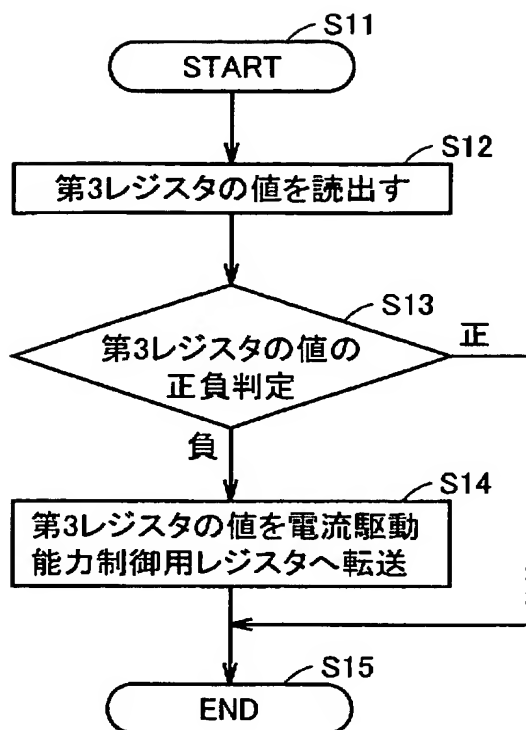
【図13】



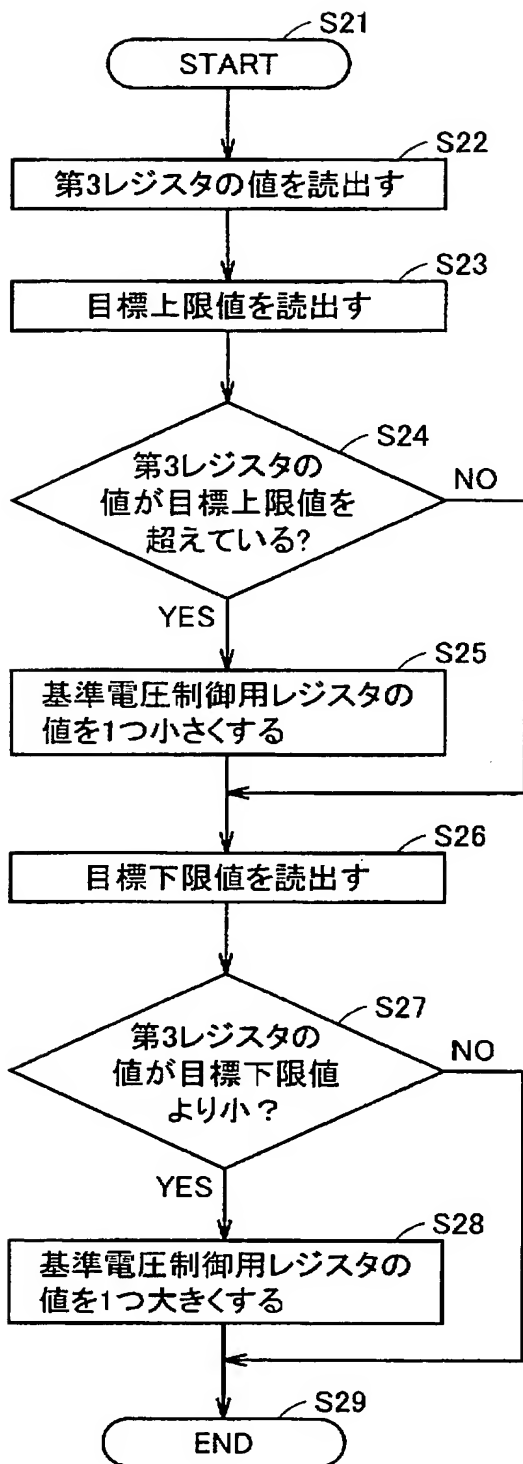
【図14】



【図15】

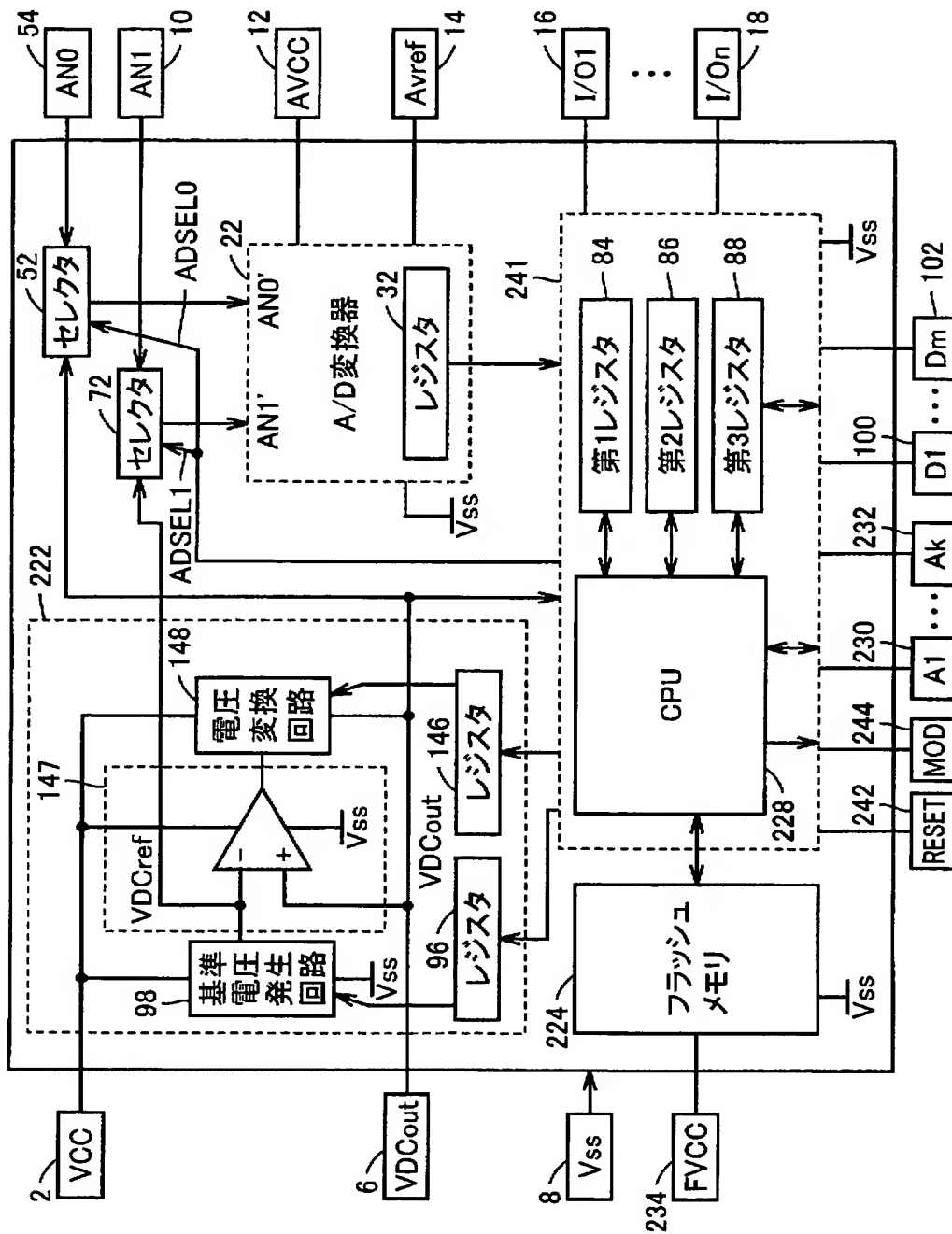


【図16】

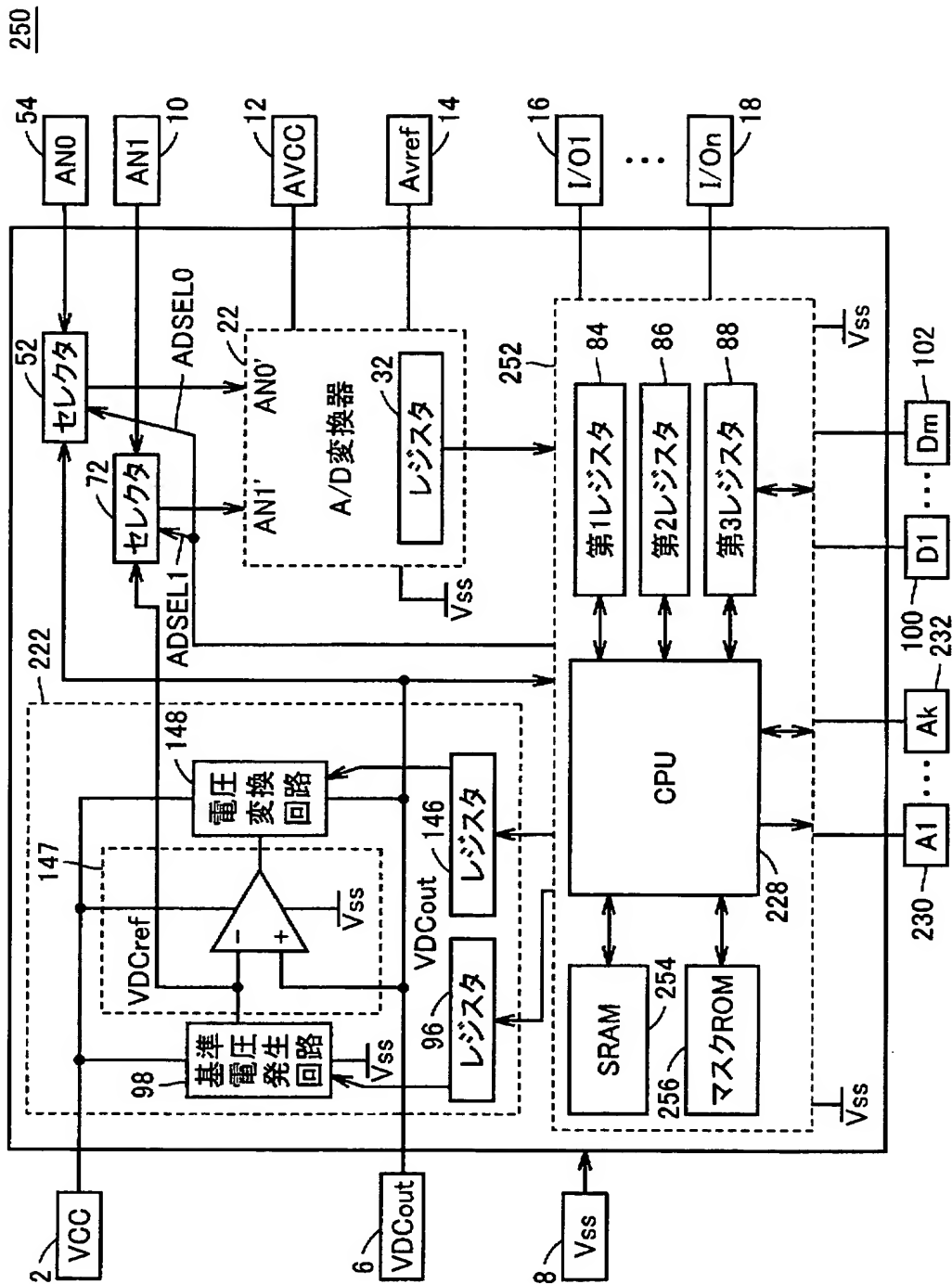


【図17】

240

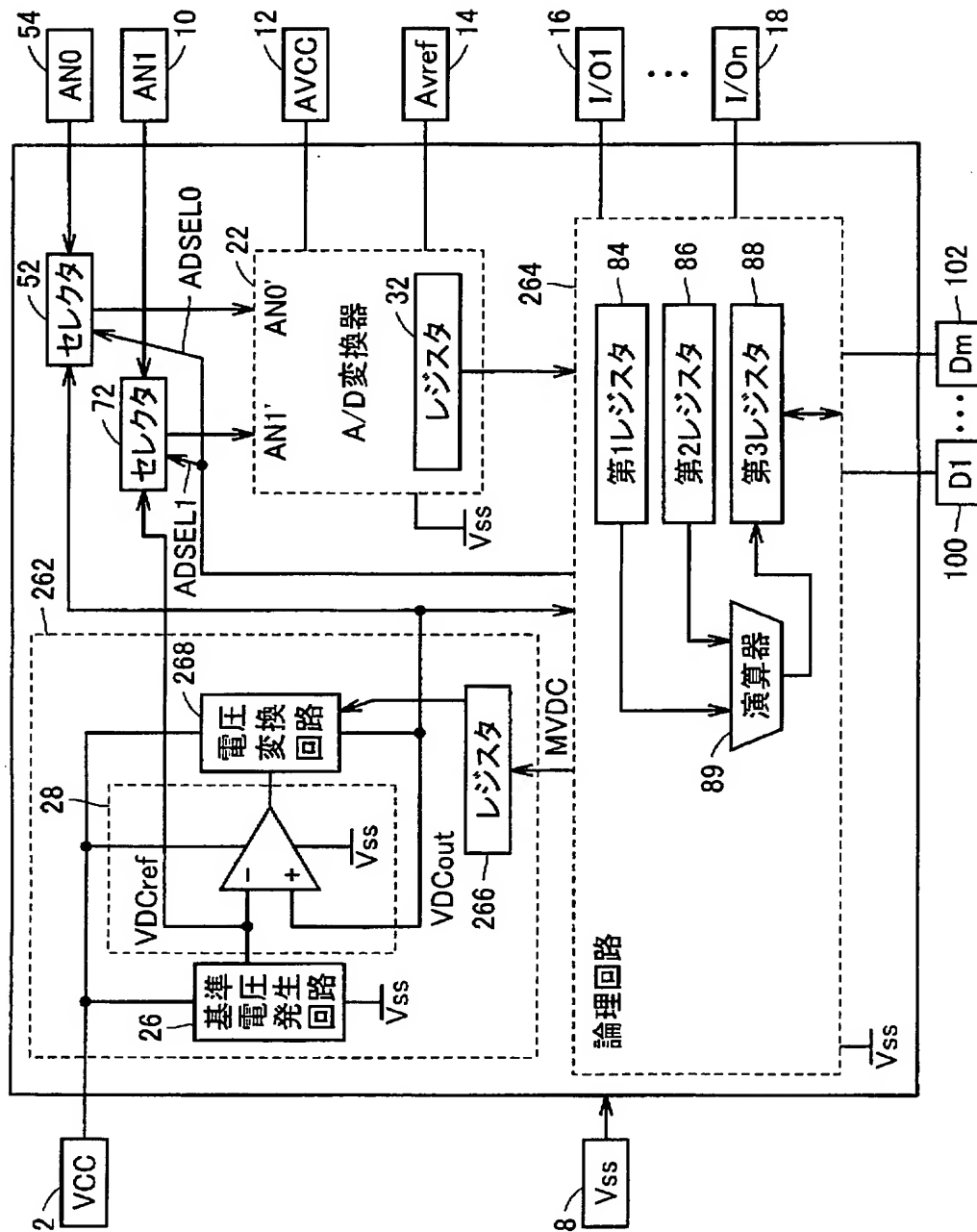


【図18】

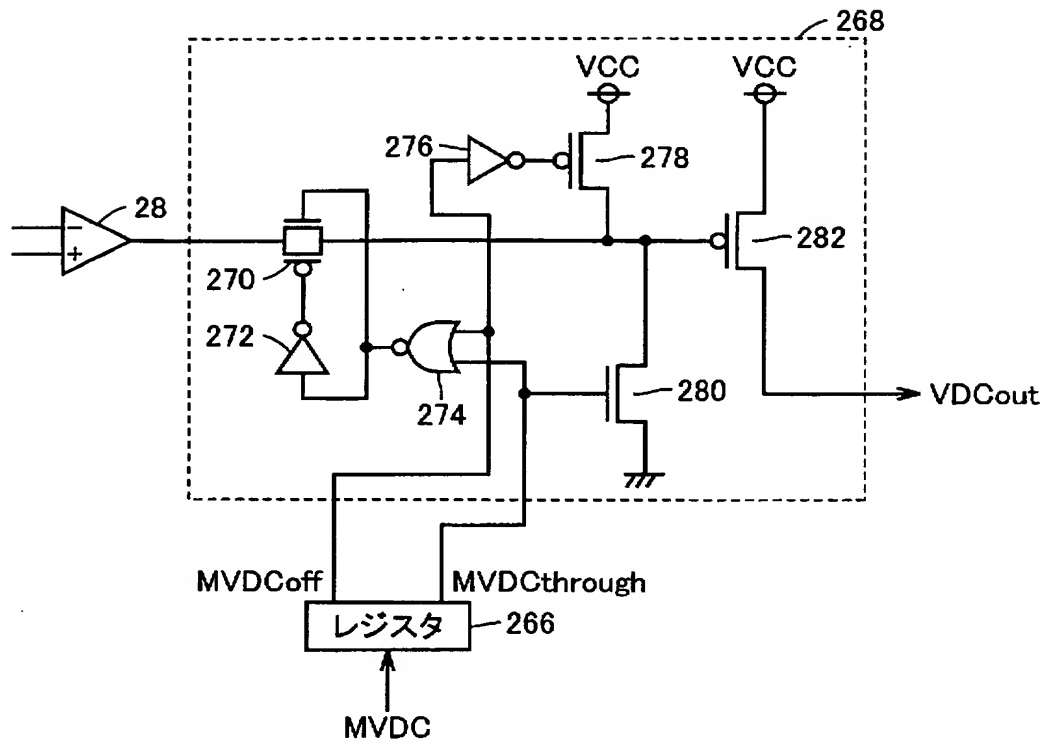


【図 19】

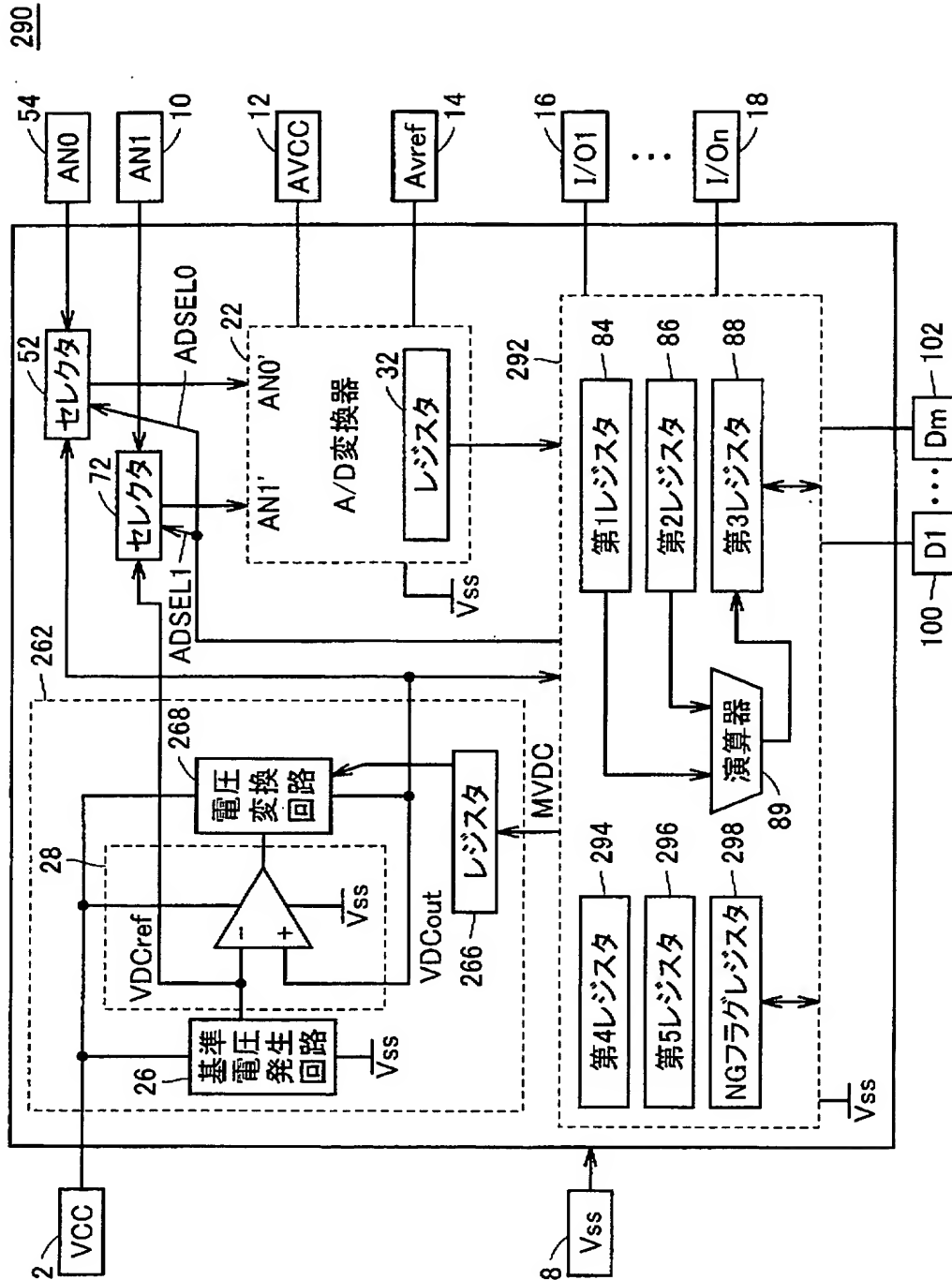
260



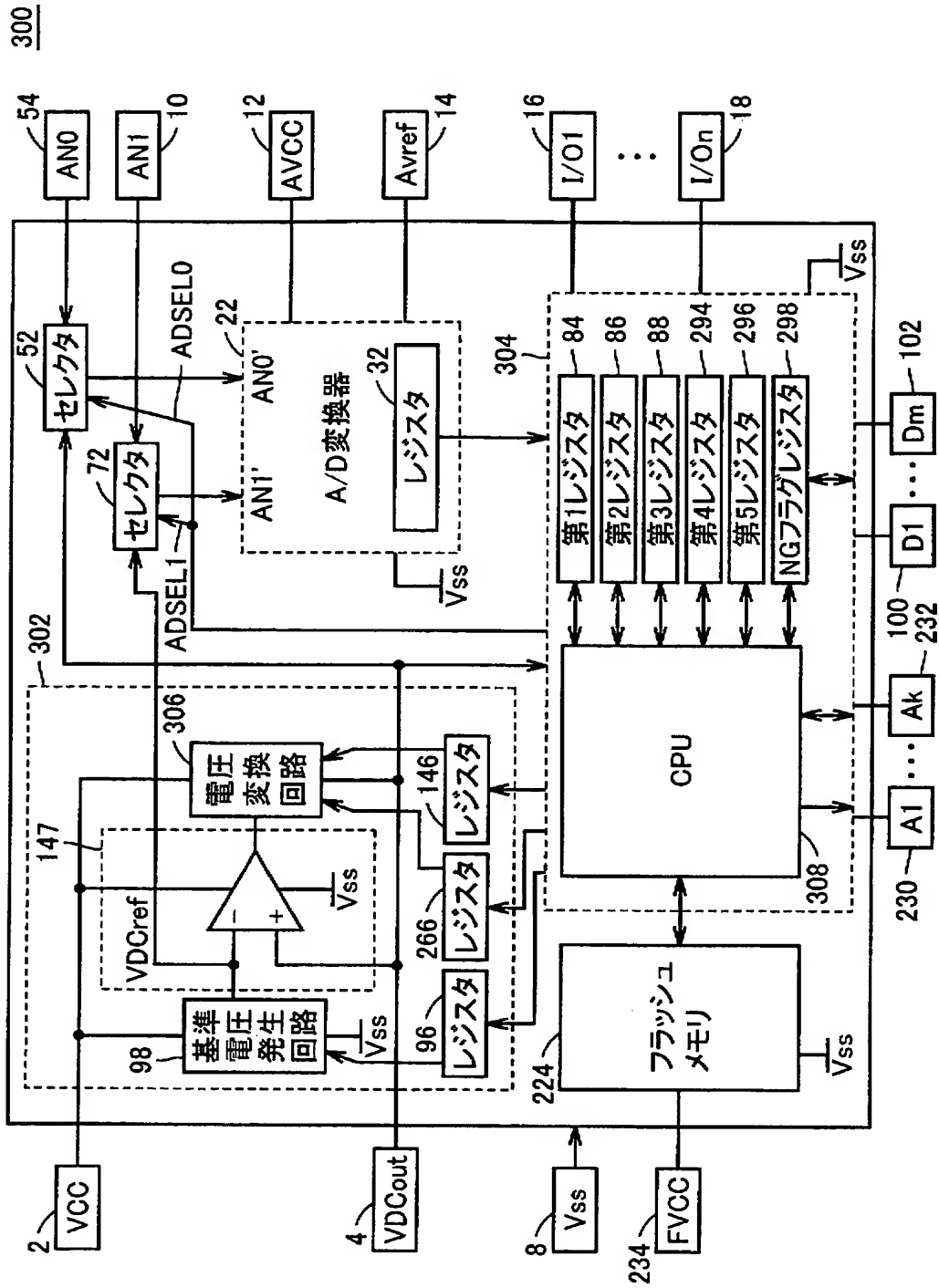
【図 20】



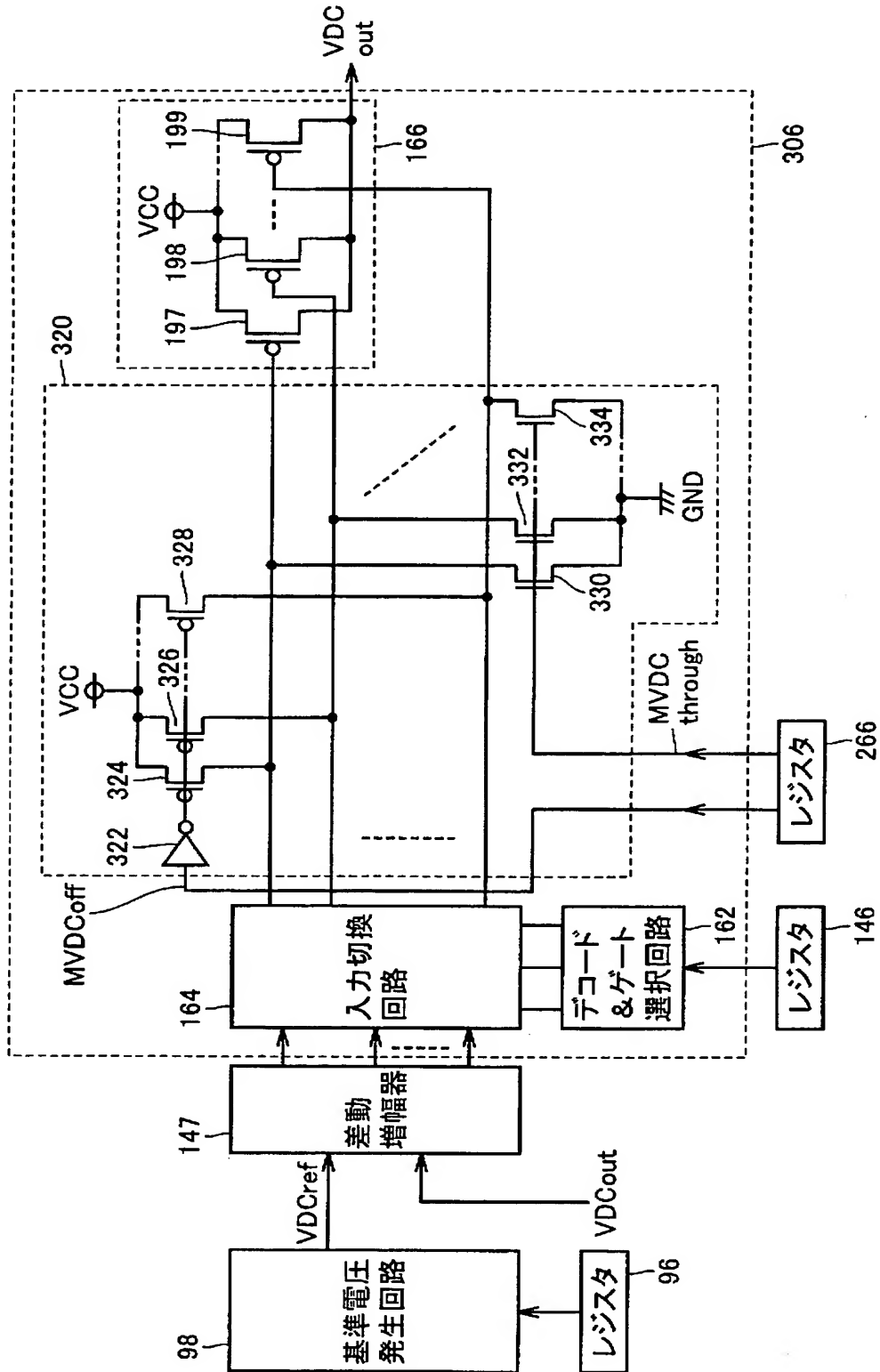
【図 21】



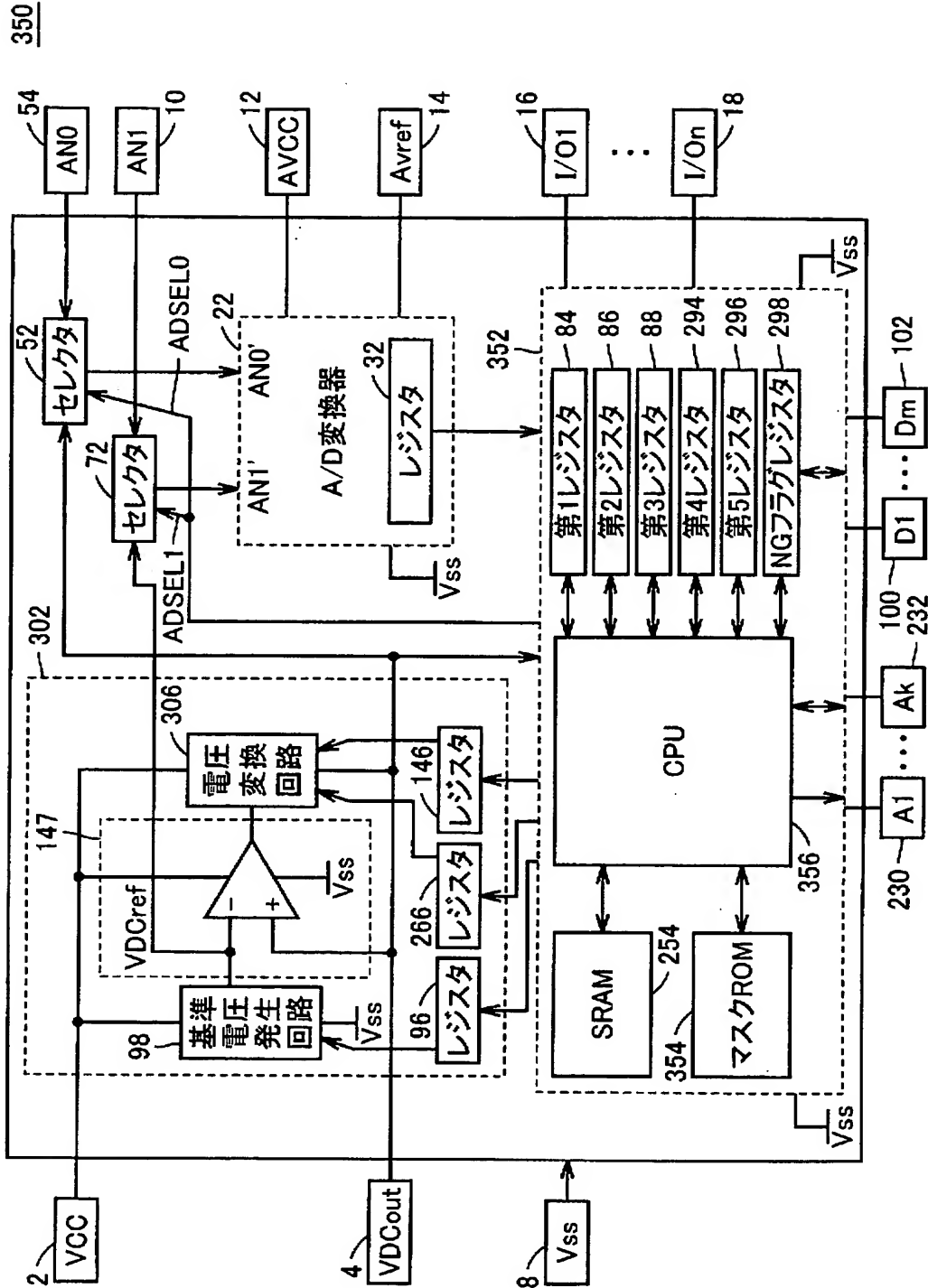
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 量産テストの容易化を図るとともに量産テスト工数を削減できる半導体集積回路を提供する。

【解決手段】 VDC回路20の出力電圧をチップ上のA/D変換器22によってA/D変換するため、VDC回路20の出力電圧VDCoutをデジタル量として観測でき、測定が容易となる。好ましくは、端子6を削減することにより、チップサイズを削減することができる。また、電圧VDCoutを出力するために使用していた端子6を、他の用途のために使用することができる。

【選択図】 図1

特願 2 0 0 3 - 3 1 8 7 4 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ